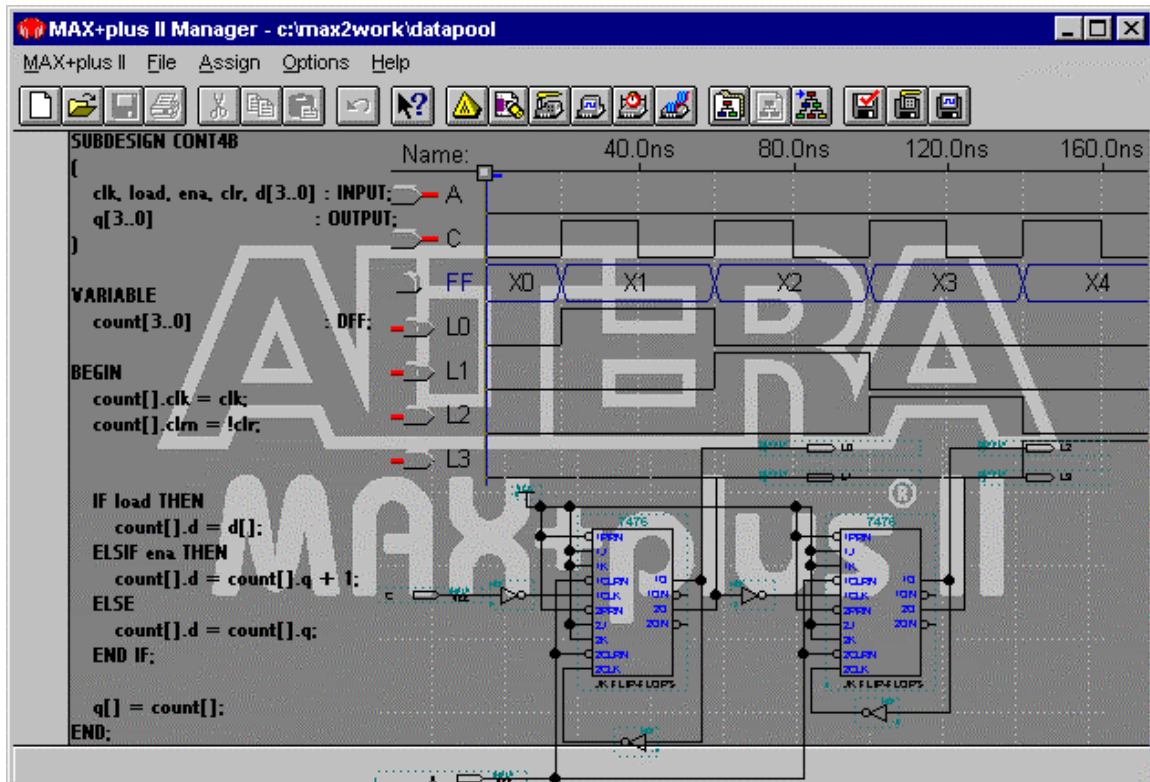


DISPOSITIVOS LÓGICOS PROGRAMÁVEIS



Autor: Prof. Celso Henrique Ribeiro

Professor Adjunto do Departamento de Eletrônica da Escola Federal de Engenharia de Itajubá – EFEI.

Coordenador do Grupo de Sistemas Eletrônicos.

Utilizando o Software MAX+PLUS II

1. Introdução

Software MAX+PLUS II (ALTERA Multiple Array MatriX Programmable Logic User System) é um sistema de desenvolvimento e programação das diversas famílias de dispositivos EPLD's da ALTERA.

Os desenvolvimentos poderão ser efetuados nos modos :

- esquemático,
- AHDL, ou
- formas de onda.

Além desses modos citados, existem outras possibilidades tais como:

- importar arquivos padrão *edif* (usados pelo OrCAD, TANGO, etc.),
- importar arquivos padrão *Xilinx*.
- importar arquivos de outros software da ALTERA (como o MAX+PLUS(DOS), A+PLUS e SAM+PLUS.
- VHDL,
- VerilogHDL,

2. Iniciando o MAX+PLUS II

2.1. Entrando no programa

2.1.1.a No ambiente do Windows 3.11, clique duas vezes no ícone *Max+PlusII* (ou em *Max2win*).

2.1.1.b No ambiente do Windows 95, clique em *Iniciar, Programas, Max+plus II* e no ícone *max+plus II*.

Com isso a janela principal do programa é aberta. Nela o nome do programa, o drive, o diretório e o nome do projeto são mostrados no topo da tela (veja figura 1).

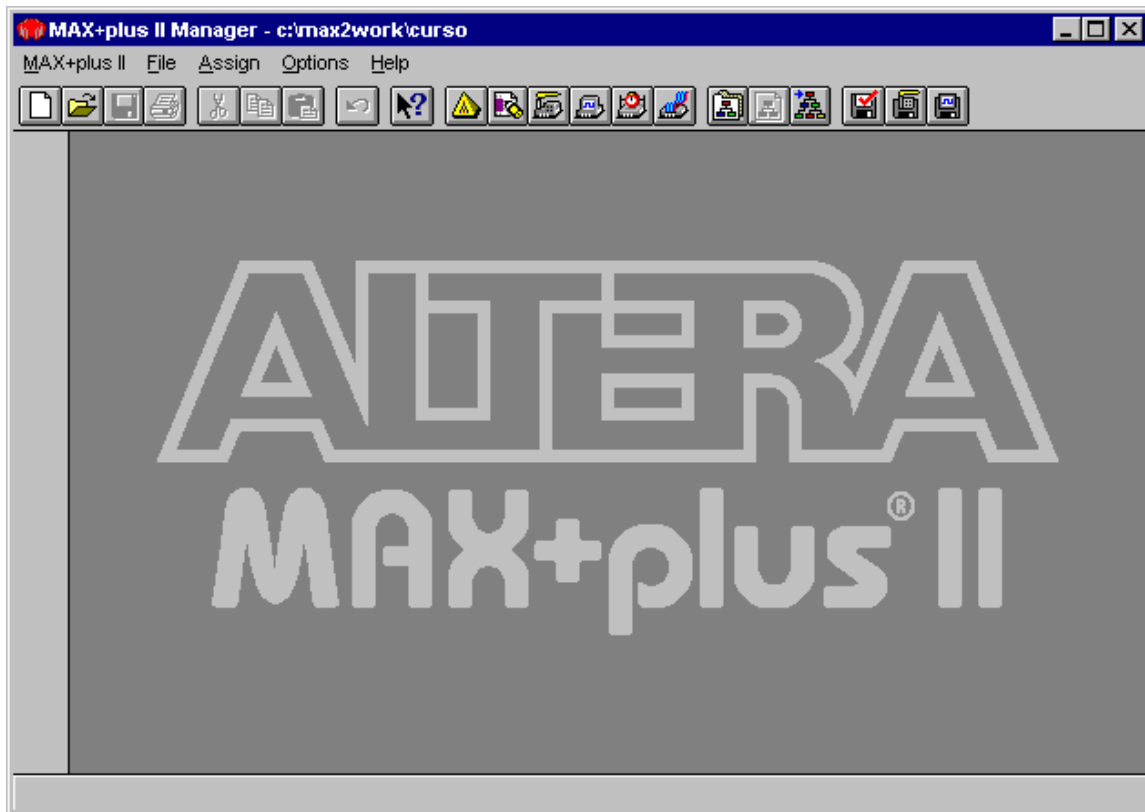


Figura 1

2.1.2. Maximize a janela principal através de um clique no ícone de maximização, localizado no canto superior direito da tela.

2.1.3. Para sair do programa, entre no menu *File* e escolha a opção *Exit Max+Plus II*.

Obs: o diretório *Max2Work* aparece no drive *c*, entretanto, se for necessário um outro drive, ele deve ser especificado durante a instalação.

3. Inicializando um Projeto

3.1 Especificando o nome do projeto

Como exemplo, será criado um projeto chamado “*curso*”

3.1.1 Escolha a função *Project Name* no menu *File* (figura.2).

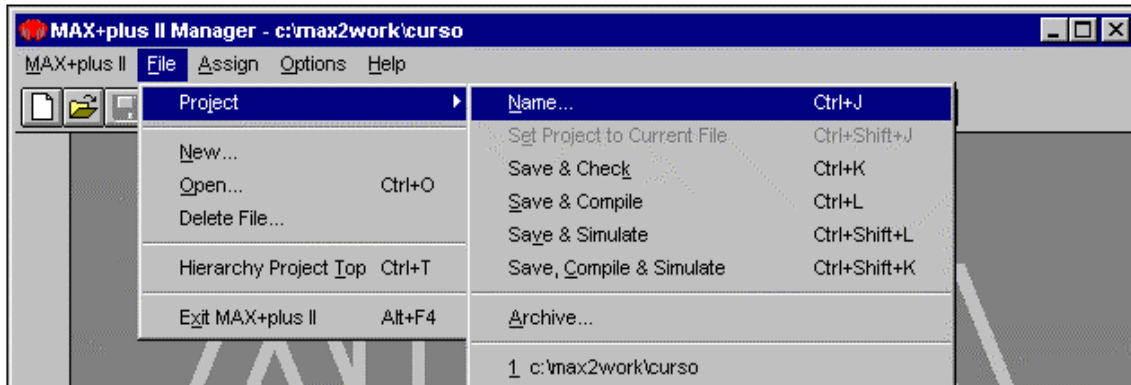


Figura 2

3.1.2 Feito isso, aparecerá a seguinte janela (fig. 3).

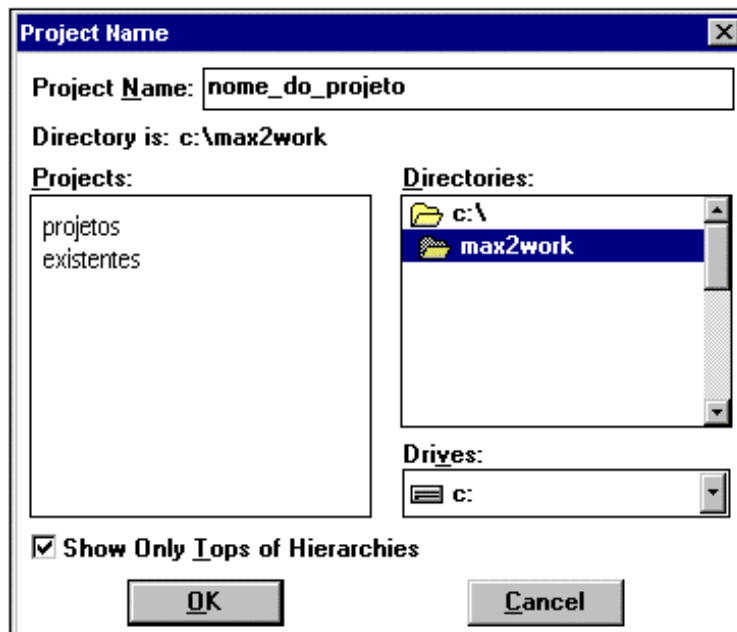


Figura 3

3.1.3 Escreva o nome de seu projeto no quadro *Project Name*. No nosso exemplo, onde está escrito nome do projeto, escreva curso.

3.1.4 Se \Max2Work não aparece no item *Directory*, selecione-o no quadro *Directories*.

3.1.5 Clique em *OK*.

4. Projetos em diagramas esquemáticos

O desenvolvimento de um projeto em diagramas esquemáticos é um método recomendado quando o projetista tem a definição lógica do projeto em circuitos discretos e deseja transformá-lo para a implementação em EPLD's.

É um método mais trabalhoso, porém possui maior facilidade de análise interna do circuito. O software MAX+PLUS II possui, em seu diretório Maxplus2, bibliotecas contendo **funções primitivas** (AND2, OR2, MUX, etc), **macrofunções da família TTL** (7400, 7404, etc..) e de **outras famílias** (8255, 8231, etc).

A maior dificuldade deste modo de desenvolvimento está nas alterações ou ampliações do projeto que, na maioria das vezes, gasta o mesmo tempo do desenvolvimento inicial.

4.1 Criando um novo arquivo Gdf

O arquivo com a extensão .GDF é o arquivo do projeto em diagrama esquemático.

4.1.1 Escolha a função *New* no menu *File*.

4.1.2 Selecione *Graphic Editor file* (figura4).

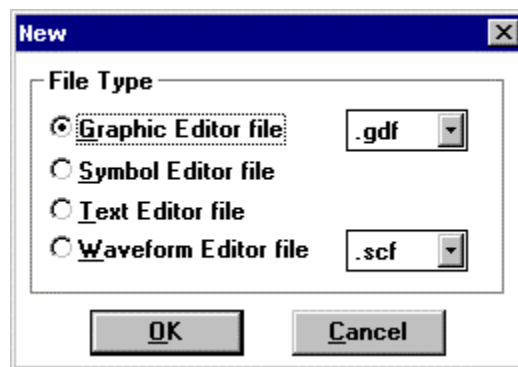


Figura 4

4.1.3 Clique *OK*. A janela *Graphic Editor* é gerada (veja figura5).

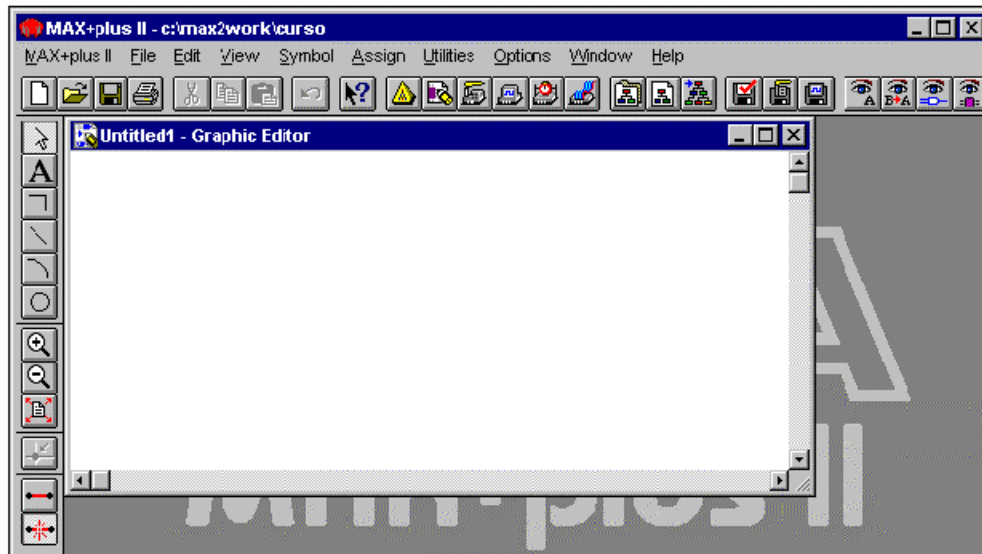


Figura 5

4.1.4 Se necessário maximize a janela *Graphic Editor* através de um clique no ícone de maximização.

4.1.5 Para salvar o arquivo escolha *Save As* no menu *File*. O quadro *File Name* mostra automaticamente o nome de seu projeto com a extensão *Gdf* (figura 6), no nosso exemplo, aparecerá o nome “curso.gdf”.

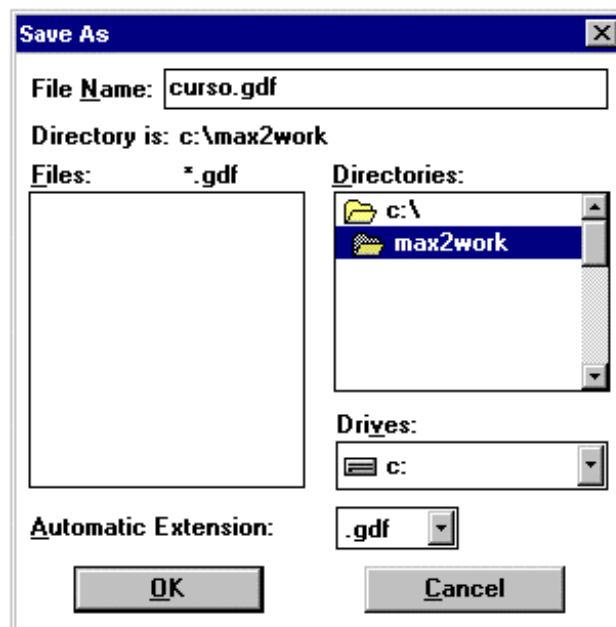



Figura 6

4.1.6 Escolha *OK* para salvá-lo.

4.2 Selecionando e movendo símbolos primitivos e macrofunções

4.2.1 Acione o botão  na barra de ferramentas da esquerda (figura 5);

4.2.2 Clique duas vezes em um espaço em branco da tela de trabalho para que a janela *Enter Symbol* seja gerada (veja figura 7);

4.2.3 Escreva o nome do símbolo primitivo ou macrofunção no quadro *Symbol Name*, ou escolha uma das opções no quadro *Symbol Libraries*, para que seja selecionada uma macrofunção ou primitiva, no quadro *Symbol Files*;

4.2.4 Escolha *OK* para posicionar o componente no local onde foi chamada a função *Enter Symbol*;

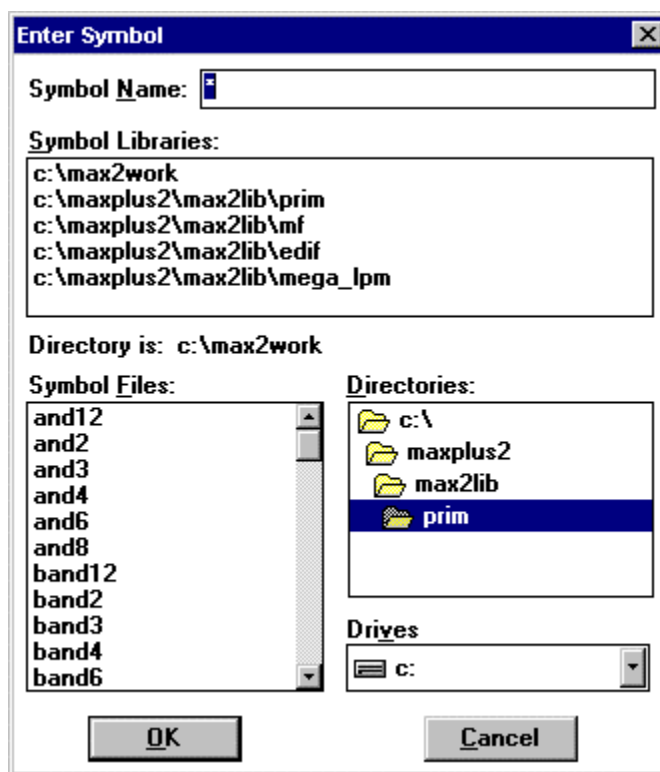


Figura 7

4.2.5 Para move-lo, Clique o *botão esquerdo* do mouse sobre o componente, mantenha-o pressionado, posicione o componente no local desejado e solte o botão.

4.2.6 Como exemplo, vamos inserir uma porta AND de 2 entradas (pimitiva and2):

- Na tela da figura 7, no quadro *Simbol Name*, o nome da primitiva and2;
- Clique *OK*;

- Posicione o componente conforme o item 6.

Obs: O subdiretório **mf**, **edif** e **mega_lpm**, contém macrofunções da família TTL e de outras famílias.

4.3 Copiando um componente

4.3.1 Clique com o *botão direito* do mouse em cima do componente a ser copiado;

4.3.2 Clique em *Copy* (com o *botão esquerdo*);

4.3.3 Com o *botão direito*, novamente, clique na posição da tela onde ficará o componente copiado;

4.3.4 Em nosso exemplo, com o *botão esquerdo*, clique em *Paste* (o desenho deverá ficar conforme a figura 8).

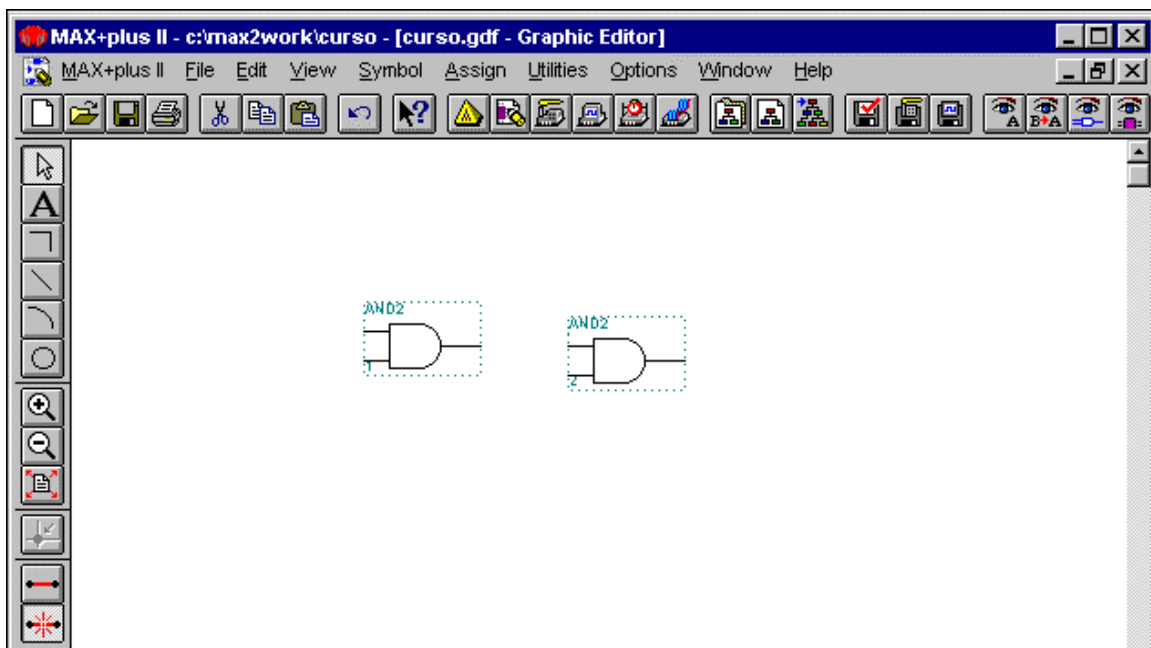


Figura 8

4.4 Inserindo Pinos de Entrada e Saída

4.4.1 Clique duas vezes no espaço vazio da tela de trabalho, para que um símbolo seja carregado.

4.4.2 No quadro *Symbol Name* da janela *Enter Symbol* escreva *Input* para um pino de entrada, *Output* para um pino de saída, ou *bidir* para um pino bidirecional.

4.4.3 Escolha *OK* para transferir o símbolo para a tela de trabalho.

4.4.4 Mova-o para o local desejado.

4.4.5 Seguindo o exemplo, insira três entradas e uma saída, posicionando-as conforma a figura 9.

4.5 Nomeando os Pinos de Entrada e Saída

4.5.1 Clique duas vezes sobre a palavra “Pin Name” que acompanha os pinos de entrada, saída e bidirecional.

4.5.2 Em seguida, digite um novo nome a esse pino.

4.5.3 Para finalizar a operação, clique uma vez sobre um espaço em branco da tela.

4.5.4 No exemplo coloque os nomes dos pinos de entrada e saída conforme a figura 9.

4.5.5 Se ao invés da operação anterior, for apertado *Enter*, um novo pino do mesmo tipo e com numeração subsequente ao já editado, será selecionado para que seja renomeado.

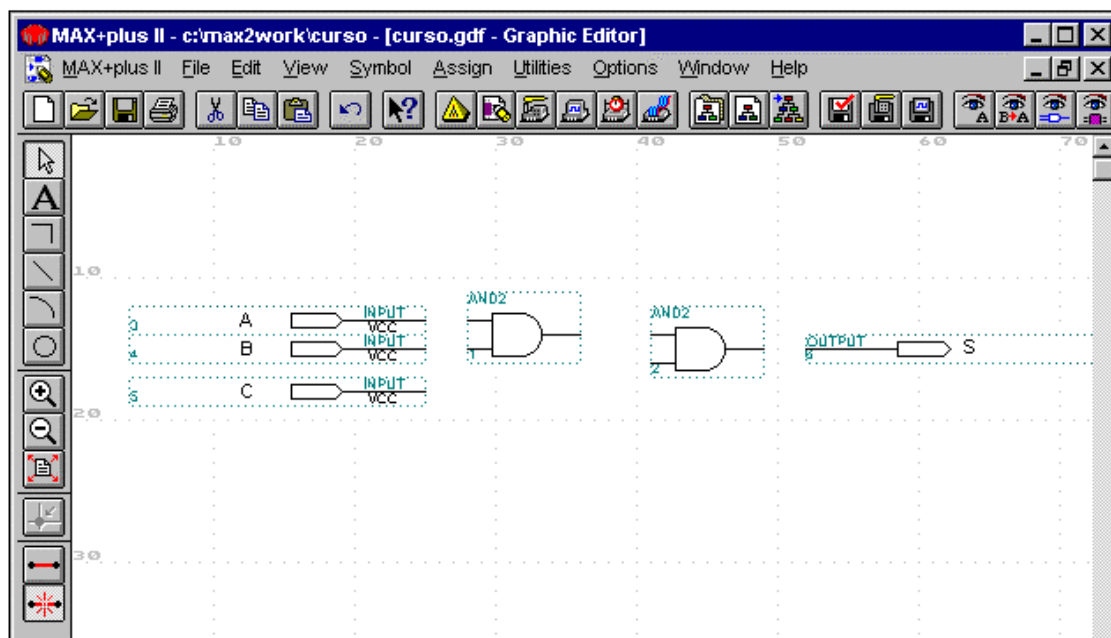



Figura 9

4.6 Conectando os componentes

4.6.1 Selecione o tipo de linha fina contínua que será utilizado para conectar os componentes. A linha pode ser selecionada clicando, com o botão direito do mouse, num espaço em branco da tela, selecione a opção *Line Style*, e clique no tipo de linha desejada.

4.6.2 Selecione o botão de linha a 90°  situado na barra de ferramentas à esquerda.

4.6.3 Posicione o cursor na extremidade de um pino de entrada ou saída de um componente.

4.6.4 Pressione o *botão esquerdo* do mouse e, enquanto o mantém pressionado, movimente-o até um outro pino de entrada ou saída.

4.6.5 Para finalizar a linha traçada, basta soltar o botão.

4.6.6 No nosso exemplo, ligue os componentes conforme a figura 10.

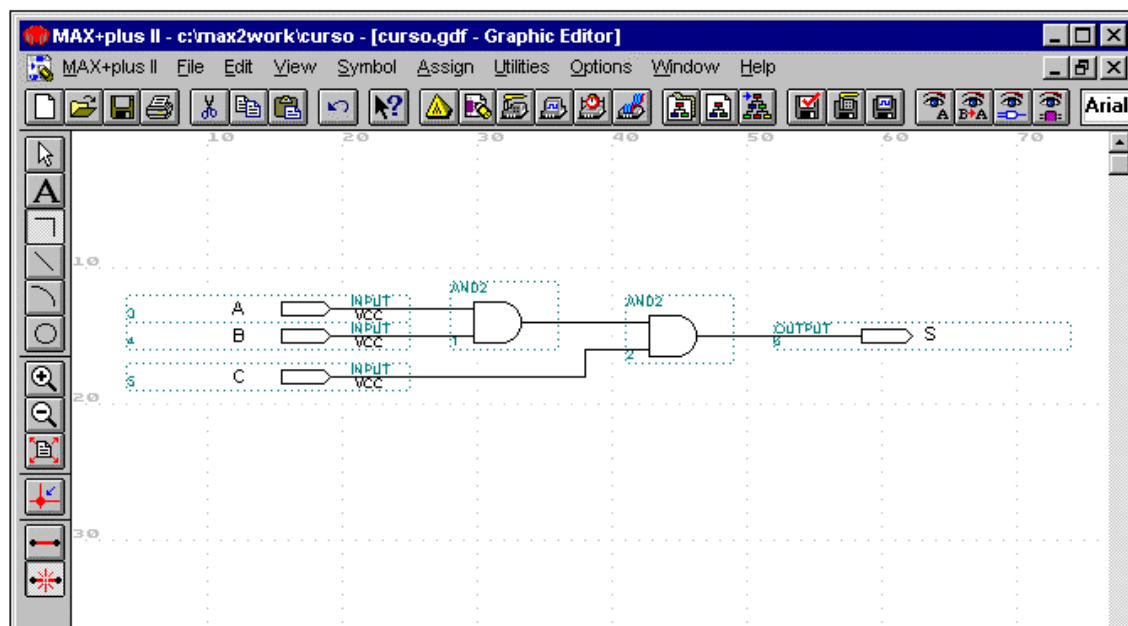


Figura 10

4.7 Conectando pinos e barramentos por nomes

4.7.1 Se necessário selecione o tamanho da letra que será utilizada para designar os pinos dos componentes. Clicando num ponto em branco da tela com o *botão direito* do mouse, selecionando *Text Size*.

4.7.2 Posicione o cursor do mouse sobre uma linha de entrada ou saída.

4.7.3 Clique com o *botão esquerdo* do mouse na linha selecionada. Com isso um pequeno ponto de inserção aparece sobre a mesma, permitindo que um nome seja digitado.

Com isto, pode-se interligar dois pontos do diagrama através do nome (lable) da linha, sem a necessidade de desenhar um fio interligando os dois pontos, basta que as linhas tenham o mesmo nome.

4.8 Salvando um arquivo

4.8.1 Escolha a função *Save* no menu *File*. Caso o arquivo não tenha sido gravado anteriormente, o MAX+PLUSII irá sugerir que o arquivo seja gravado com o mesmo nome do projeto.

4.8.2 Clique OK para aceitar. O nome do arquivo .GDF. Este deve ter o mesmo nome do projeto, para ser compilado posteriormente.

5. **Projetos em AHDL**

Desenvolvimento em AHDL (Altera **H**ardware **D**escription **L**anguage) é um método recomendado quando o projetista já possui a definição lógica de operação do projeto mas ainda não a representou na forma esquemática.

Esta linguagem possibilita a realização de projetos de maneira mais flexível e, normalmente, possui maiores facilidades de alterações ou ampliações do mesmo.

A linguagem AHDL é um recurso de programação que o software MAX+PLUSII tem para a programação dos EPLDs, esta linguagem é muito semelhante a VHDL.

5.1 Especificando o nome do projeto e criando um novo arquivo

5.1.1 Escolha *Project Name* no menu *File* e digite o nome de seu projeto. Como exemplo utilizaremos o nome “CursoII” .

5.1.2 Escolha *New* no menu *File*, selecione *Text Editor file*, e clique *OK* para abrir a janela *Text Editor* (veja exemplo na figura 11).

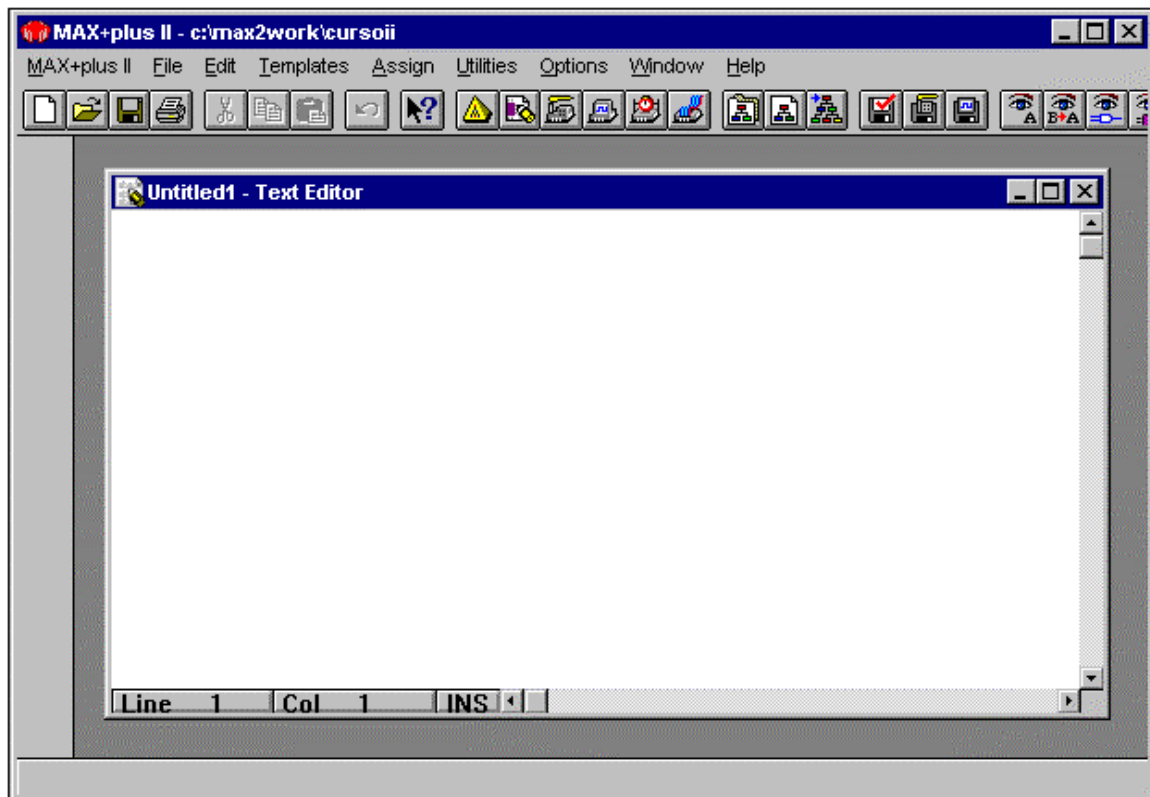


Figura 11

5.1.3 Se necessário, maximize a janela com um clique no ícone de maximização.

5.1.4 Escolha *Save As* no menu *File*. Se o nome de seu projeto não aparece automaticamente, com a extensão *Tdf*, no quadro *File Name*, então o nome, juntamente com a extensão devem ser especificados (veja figura 12).

5.1.5 Tenha certeza que *\max2work* aparece no campo *Directory*, para então escolher *OK*.

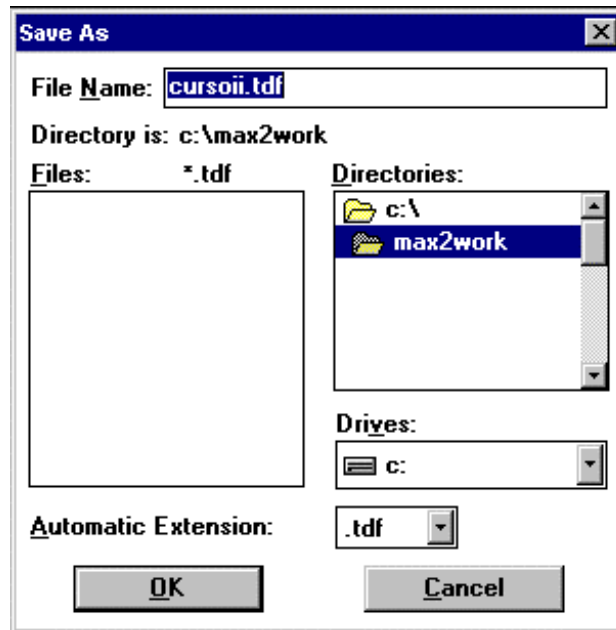


Figura 12

5.2 Estrutura básica do corpo do programa em AHDL

A estrutura básica de um projeto em AHDL é a seguinte:

```

SUBDESIGN nome
(
    Lista de pinagem ;
)

VARIABLE

    Lista das variáveis internas;

BEGIN

    Lógica do programa;

END;

```

Esta estrutura deve seguir os seguintes critérios:

5.2.1 Escreva o nome do projeto:

```
SUBDESIGN nome
```

O **nome** deve ser igual ao *nome do arquivo .gdf* e ao *nome do projeto*.

5.2.2 Relacione os pinos de entrada e saída:

```
(
    lista dos nomes dos pinos de entrada      : INPUT;
    lista dos nomes dos pinos de entrada      : OUTPUT;
    lista dos nomes dos pinos bidirecionais    : BIDIR;
)
```

Os nomes nas listas citadas acima, devem ser separados por vírgula.

5.2.3 Declarando as VARIÁVEIS

- Escreva **VARIABLE** e pressione *Enter*.
- Escreva em seguida:
nome da variável :tipo da variável;

Os principais tipos de variáveis são :

- **NODE** - nó interno do projeto;
- **Registrador** - é o tipo do flip-flop a ser usado, por exemplo :
 - ♦ **DFE** - Flip- Flop D;
 - ♦ **TFF** - Flip- Flop T;
 - ♦ **JKFF** - Flip- Flop JK;
 - ♦ **SRFF** - Flip- Flop SR;
 - ♦ Acrescentando um **E** no final das declarações acima, indica que o flip-flop terá um pino de enable. Por exemplo:
DFFE - Flip-flop D com enable;

As utilizações dos flip-flops serão abordadas nos projetos.
- **MACHINE WITH STATE** - Declaração para máquinas de estado;
- **MACHINE OF BITS WITH STATE** - Declaração para máquina de estado especificando os valores de cada estado.

Outros tipos de variáveis poderão ser encontrados no HELP do software MAX+PLUSII.

5.2.4 Editando a lógica do programa

- Escreva **BEGIN**
- Escreva a lógica do programa.
 As instruções de programação serão mostradas nos projetos.
- Escreva **END;**

5. Salve o programa clicando em *Save* no menu *File*.

6. Exemplo de programa em AHDL:

```

SUBDESIGN cursoII
(
    clk, clr, prn, load, d[3..0]    : INPUT;
    q[3..0]                        : OUTPUT;
)

VARIABLE
    ff[3..0]                      : DFFE;

BEGIN
    ff[].clk = clk;
    ff[].ena = load;
    ff[].clrn = clr;
    ff[].prn = prn;
    ff[].d = d[];
    q[] = ff[].q;

END;

```

Nas expressões com [n..0], como por exemplo d[3..0], significa d3, d2, d1, d0, ou seja se refere a todas as entradas dos quatro flip flops do circuito. E as expressões [], como por exemplo ff[] é equivalente a ff[3..0], ou seja, se refere a todos os flip flops definidos na declaração anterior, no campo Variable .

O circuito correspondente a este programa está apresentado na figura 13.

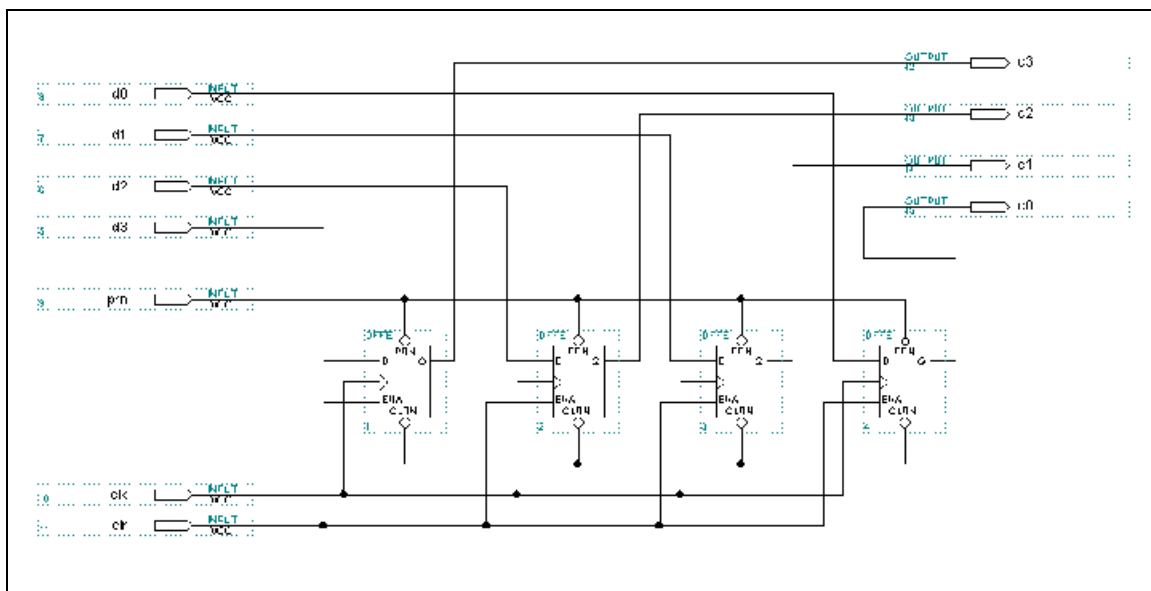


Figura 13

As definições das variáveis internas bem como as correspondentes pinagens de entradas e saídas poderão ser encontradas no *Help* do software MAX+PLUS II. Para tal, selecione a função *Primitives* ou *Old-Style Macrofunction* no menu *Help*, habilitando a variável ou componente correspondente da categoria da macrofunção.

6. Projetos em Formas de Ondas

O desenvolvimento em formas de ondas é um recurso que permite ao projetista definir um circuito a partir das formas de ondas de entrada e saída, e das formas de ondas dos nós internos do projeto. Este método é de maior dificuldade, porém possibilita o desenvolvimento de um circuito sem o profundo conhecimento interno do mesmo.

6.1 Especificando o nome do projeto e criando um novo arquivo

6.1.1 Escolha *Project Name* no menu *File* e digite o nome de seu projeto.

6.1.2 Escolha *New* no menu *File*, selecione *Waveform Editor file* e a extensão *.WDF* (figura 14). Clique em *OK* para abrir a janela *Waveform Editor* (veja figura 15).

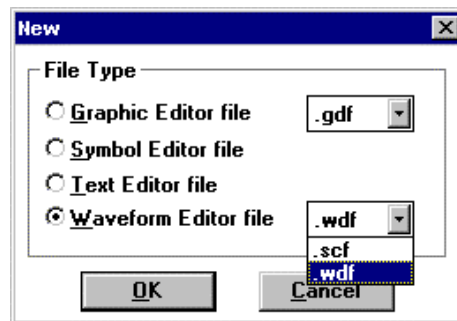


Figura 14

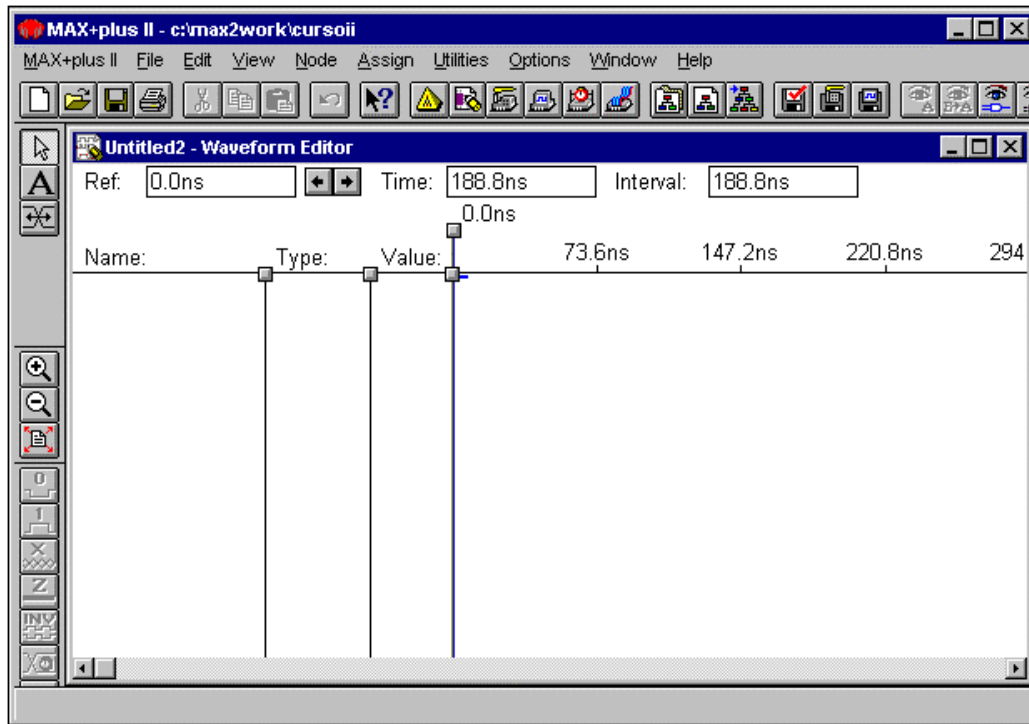


Figura 15

6.1.3 Se necessário, maximize a janela com um clique no ícone de maximização.

6.1.4 Escolha *Save As* no menu *File*. Se o nome de seu projeto não aparece automaticamente, com a extensão *Wdf*, no quadro *File Name*, então o nome, juntamente com a extensão, devem ser especificados.

6.1.5 Tenha certeza que *\max2work* aparece no campo *Directory*, para então escolher *OK*.

6.1.6 Escolha *End Time* no menu *File*. Digite o tempo máximo que ficará o *Waveform Editor*. Os valores escritos devem ser acompanhados da unidade de tempo (ns, us, ms, s). Clique *OK*.

6.2 Criando canais de entrada e saída


6.2.1 Inicialmente clique no botão , em seguida clique duas vezes no espaço em branco da área de informação de pinos, localizada na porção lateral esquerda da janela *Waveform Editor* abaixo de *Name:* . A janela *Enter Node* é gerada (veja figura 16).

Figura 16

6.2.2 Digite o nome do canal no quadro *Node Name*.

6.2.3 Selecione *Input Pin* (pino de entrada), *Output Pin* (pino de saída) , ou *Buried Node* (pino interno) no quadro *I/O Type*.

6.2.4 Se necessário digite, no quadro *Default Value*, um estado lógico inicial para o canal. Os níveis lógicos podem ser *1*, *0*, ou *X*.

6.2.5 Selecione no quadro *Node Type*, o tipo do pino: *Pin Input* (para pino de entrada), *Registered* (se for uma saída de um registrador), *Combinatorial* (se for saída de um circuito combinacional) e *Machine* (se for a saída de uma máquina de estado).

6.2.6 Escolha *OK* para transferir o canal para a janela *Waveform Editor*.

6.3 Configurando a grade para a edição das formas de onda

6.3.1 Escolha *Grid Size* no menu *Options*. O quadro *Grid Size* é gerado.


6.3.2 Digite valores para gerar e configurar a grade. Os valores escritos devem ser acompanhados da unidade de tempo. Este valor tem que ser uma fração do valor colocado no *End Time*.

6.3.3 Escolha *OK*.

6.3.4 Utilize os botões ,  ou  para ajustar a tela do *Waveform Editor*.

6.4 Editando as formas de ondas

6.4.1 Para selecionar e simultaneamente editar um intervalo, clique no

botão , posicione o cursor do mouse na linha do canal a ser editado na área da coluna *Value*, clique com o botão da esquerda (a linha deverá ficar em negrito). Sobre a linha em negrito, dê um clique com o botão da direita, em *overwrite*, clique na opção desejada (veja figura 17).

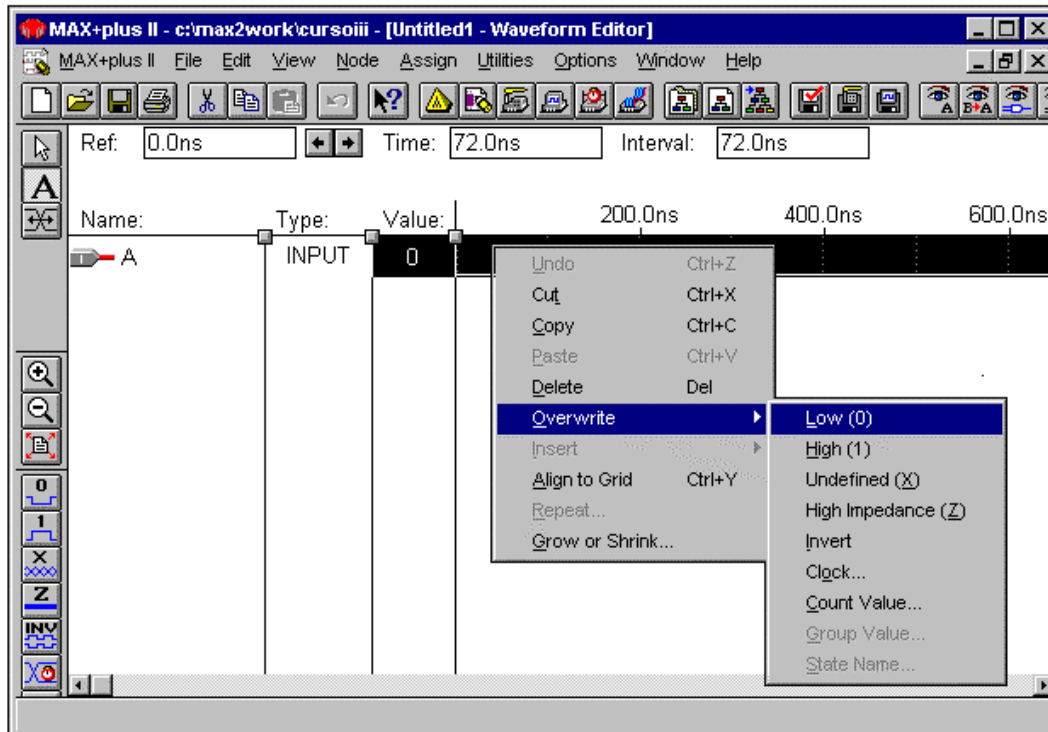


Figura 17

Para as cinco primeiras opções, a inserção do sinal será direta.

Para o *Clock* tem-se o seguinte:

- Ao clicar na opção *Clock*, aparecerá a seguinte tela (figura 18):

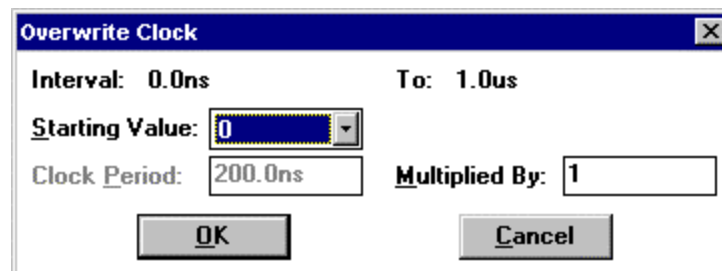


Figura 18

- Selecione o valor inicial (0 ou 1) e a multiplicidade, clique OK. Se a opção *Snap to Grid* do menu *Options* não estiver habilitado, selecione também o período de clock (*Clock Period*).

Para o *Count Value* (contador), selecione um canal tipo barramento, (para isto, ao entrar com o canal, nomeie-o como NOME[n..0], por exemplo, B[3..0]).

- Ao clicar em *Count Value*, aparecerá a seguinte tela (figura 19):

Figura 19


- Colocar o valor inicial, o tipo de contagem, o incremento e a multiplicidade. Clique em OK.

Para mudar o valor de uma contagem, selecione o numero a ser editado (deixando-o em negrito), clique em *Group Value* e aparecerá a seguinte tela (figura 20):

Figura 20

- Digite o novo valor e clique OK.

A opção *State Value* serve para nomear um estado para um canal tipo MACHINE.

6.4.2 Para editar uma parte da onda, clique no botão , aperte o botão da esquerda no início do local a ser modificado, selecione a área e libere o botão, a forma de onda automaticamente assumirá seu valor complementar. No caso do Valor de um contador ou de uma máquina de estado, ao selecionar a divisa entre as mudanças de estado, e move-la, seu estado acompanhará o movimento.

6.4.3 Salvar o arquivo com o mesmo nome do projeto em questão.

Com os recursos de edição mostrados acima, desenha-se as formas de entrada, de saída e interna do projeto, realizando-se assim o projeto por forma de onda.

7. **Unindo Arquivos Tdf, Gdf e Wdf**

Um projeto pode ser criado nos diferentes editores do Max+Plus II. Podemos ter uma parte criada no *Text Editor*, outra no *Graphic Editor* e a restante no *Waveform Editor*.

Pode-se criar um símbolo de um projeto, clicando na função *Criate Default Symbol* no menu *file*. Este símbolo quando chamado no editor gráfico, permite que seu projeto possa ser utilizado novamente como se fosse uma macrofunção da biblioteca. Esse recurso permite uma maior flexibilidade na elaboração de um projeto, pois oferece três diferentes formas para se elaborar circuitos (projetos) que no final pode-se juntá-lo num único projeto.

Obs1: Caso seu projeto esteja em outro diretório que não seja o MAX2WORK, ou se estiver arquivado em um subdiretório, deve-se indicar seu caminho da seguinte maneira:

- Selecione a função *User Libraries* no menu *Options*;
- Na janela *User Libraries*, selecione o caminho onde se encontra o projeto. Por exemplo, o projeto está no subdiretório do MAX2WORK chamado “curso”.
- Clique em Add e o caminho deverá aparecer no campo *Existing Directories* (veja figura 21):

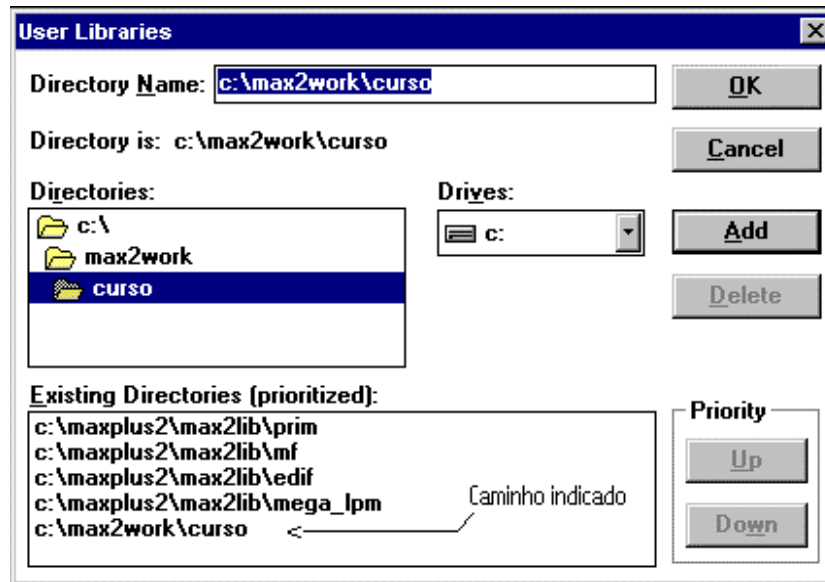


Figura 21

- Clique em OK.

Por exemplo, se tivermos um projeto criado em AHDL chamado “projahdl”, e outro criado em formas de ondas chamado “projonda”. Podemos juntá-los num só projeto em forma de diagrama esquemático chamado “União”.

Para juntá-los siga os seguintes itens :

- Após ter criado os símbolos dos projetos “projahdl” e “projonda”, inicie um projeto chamado “União”;
- Abra o editor gráfico;
- Salve-o com o nome de “União”;
- Dê dois cliques na tela, para chamar a janela de entrada de símbolos.
- Digite no campo *Symbol Name* o nome “projahdl” clique em OK, ou clique duas vezes em “projahdl” no campo *SymbolFiles*. Veja figura 22.

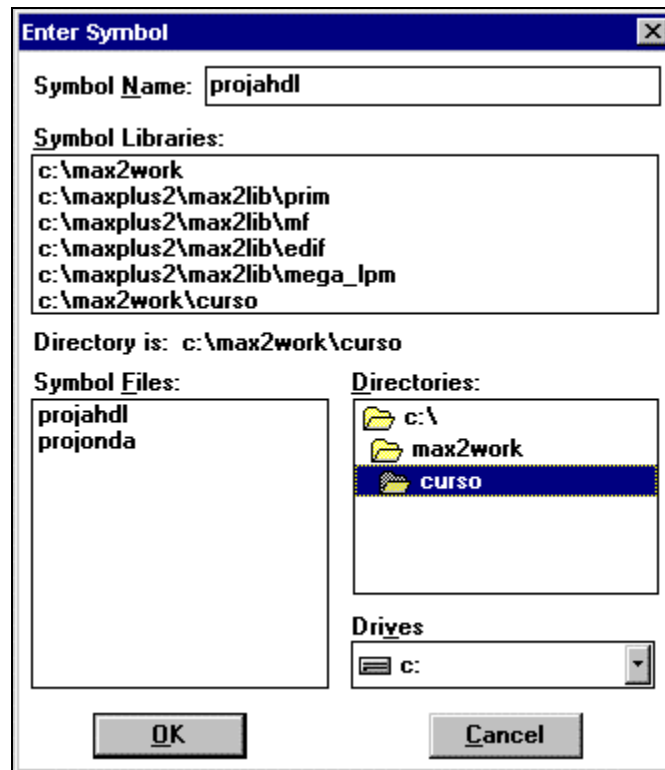


Figura 22

- Faça o mesmo para o “projonda”.
- Com os dois símbolos na tela, faça suas conexões e salve o projeto. Veja figura 23.

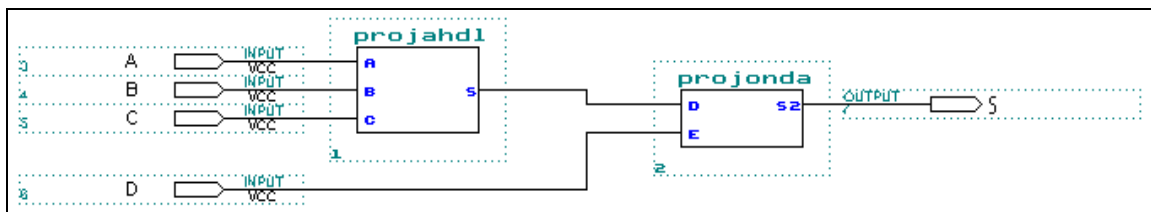


Figura 23

8. Vendo o Projeto em forma Hierárquica

Para que seu projeto seja visto de forma hierárquica, ou seja, quais são os arquivos gráficos, de texto e de formas de onda que o compõe, basta ativar a função *Hierarchy Display* no menu *Max+Plus II*, e aparecerá uma janela, como a do exemplo da figura 24.

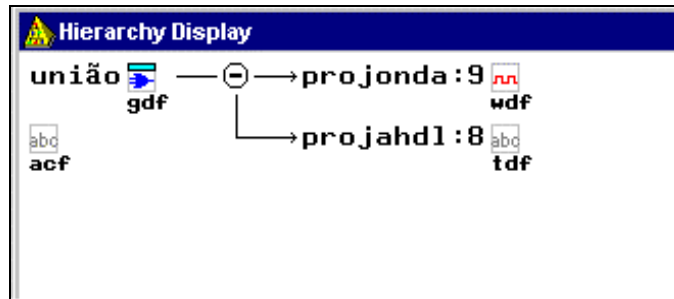


Figura 24

Nesta janela pode-se encontrar as seguintes extensões:

Graphic Editor	: .gdf, .sch
Symbol Editor	: .sym
Text Editor	: .acf, .aco, .adf, .cmd, .edc, .edf, .fit, .hst, .lmf, .log, .mif, .mio, .mtf, .plf, .rpt, .sdo, .smf, .tao, .tbl, .tdf, .tdo, .tdx, .ttf, .vec, .vhd, .vho, .vmo, .vo, .xnf, ou outros arquivos ASCII.
Waveform Editor	: .scf, .wdf

Significado de cada extensão pode ser encontrado no *Help* do MAX+PLUS II. As mais importantes são:

- **.gdf** : arquivo do editor gráfico (esquemático);
- **.tdf** : arquivo do editor de texto (AHDL);
- **.rpt** : arquivo com informações gerais do projeto;
- **.acf**: arquivo de informações sobre atributos e configurações do projeto;
- **.wdf**: arquivo do editor de formas de onda (projeto em formas de onda);
- **.scf**: arquivo do editor de formas de onda (formas de ondas para simulação).

9. Compilando seu Projeto

9.1 Abrindo a janela do compilador

9.1.1 Escolha *Compiler* no menu *Max+Plus II* para que a janela do compilador seja gerada (veja figura 25).

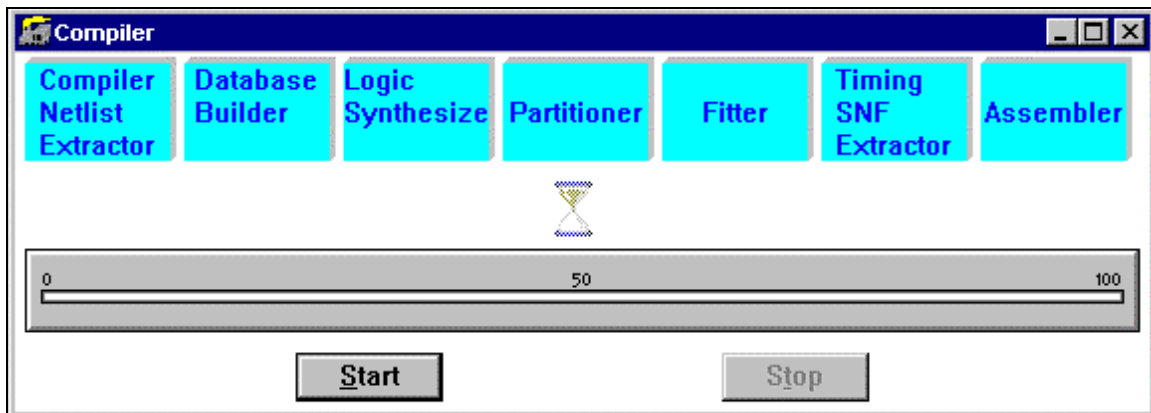


Figura 25

9.2 Selecionando um dispositivo da família *Altera*

9.2.1 Escolha *Device* no menu *Assign*. A janela *Device* é gerada.

9.2.2 Selecione no quadro *Device Family* uma das famílias da Altera. Neste curso será usado a família **MAX7000S**.

9.2.3 No quadro *Devices*, selecione **AUTO**, para que o software escolha o componente mais adequado para o projeto (figura 26).

9.2.4 Clique em **OK**.

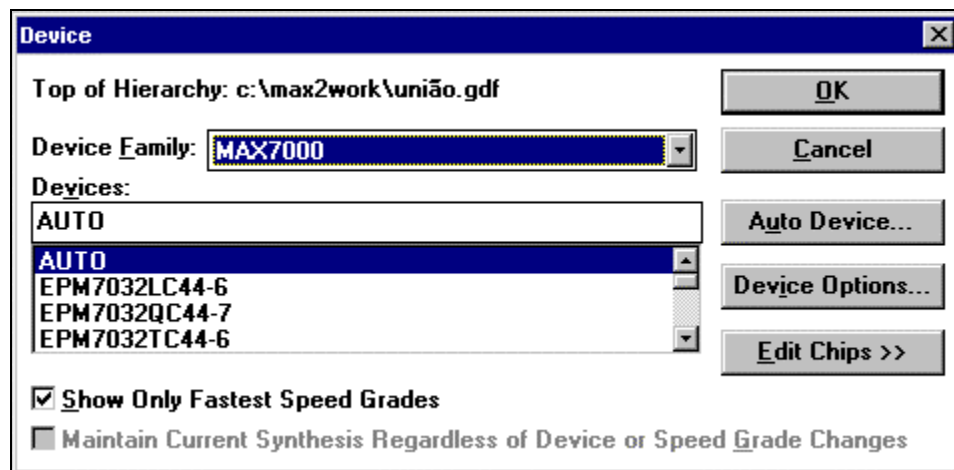


Figura 26

9.3 Ligando o utilitário *Design Doctor*

Este utilitário verifica, durante a compilação, características de seu projeto que podem causar problemas na programação do dispositivo.

9.3.1 Escolha *Design Doctor* no menu *Processing* (este deverá ficar com um ticket)

9.3.2 Escolha *Design Doctor Settings* no menu *Processing*, e selecione a tecnologia em que ficará gravada seu projeto, no quadro *Design Rules*. As tecnologias são: EPLD, FLEX, MPLD e a Custom. Para este curso deixe em *EDLD Rules*.

9.4 Protegendo seu projeto

Com a função *Security Bit* ativada, após a programação do dispositivo, este fica protegido contra leitura do projeto.

9.4.1 Escolha *Device* no menu *Assign*.

9.4.2 Escolha *Device Options* no quadro *Device*.

9.4.3 Se necessário, ative a função *Security Bit* e escolha *OK*.

9.5 Selecionando o estilo de sintetização lógica

Para um maior aproveitamento da área de silício de um EPLD, o estilo de sintetização lógica deve ser a *Normal*.

9.5.1 Escolha *Logic Options* no menu *Assign*.

9.5.2 Ative o ícone *Define Synthesis Style* no quadro *Logic Option*.

9.5.3 Selecione no quadro *Style* o estilo de sintetização lógica (Normal, Fast, WYSIWYG).

9.5.4 Escolha *OK*.

9.6 Ligando o Timing SNF Extractor

O compilador pode criar um arquivo com extensão snf, que contém informações lógicas e de tempo de seu projeto. Essas informações podem ser usadas como parâmetros de entrada para o Simulador e Analisador de tempo do Max+Plus II.

9.6.1 Escolha *Timing SNF Extractor* no menu *Processing*. (este deverá ficar com um ticket)

9.7 Especificando o conteúdo do arquivo *Report*

Este arquivo, gerado pelo módulo *Fitter* do Compilador, mostra como os dispositivos utilizados pelo seu projeto foram configurados, ou seja, quais são os pinos de entrada e saída, quais são os pinos de alimentação e terra, a porcentagem da área de silício utilizada etc.

9.7.1 Escolha *Report File* no menu *Processing*.

9.7.2 Selecione as opções que são interessantes para o seu projeto. (pode-se selecionar *all*).

9.7.3 Escolha OK.

9.8 Iniciando o processo de compilação

9.8.1 Ative o ícone *Start*, que aparece na janela do compilador (figura 25).

Ao final da compilação, ícones que representam a saída de cada módulo compilado (*Compiler Netlist Extractor*, *Partitioner*, *Database Builder*, *Logic Synthesizer*, *Filter*, *Timing SNF Extractor* e *Assembler*), são mostrados abaixo dos mesmos. Para que o conteúdo de um determinado módulo seja analisado, basta ativar o ícone que o representa, através de dois cliques (veja figura 27).

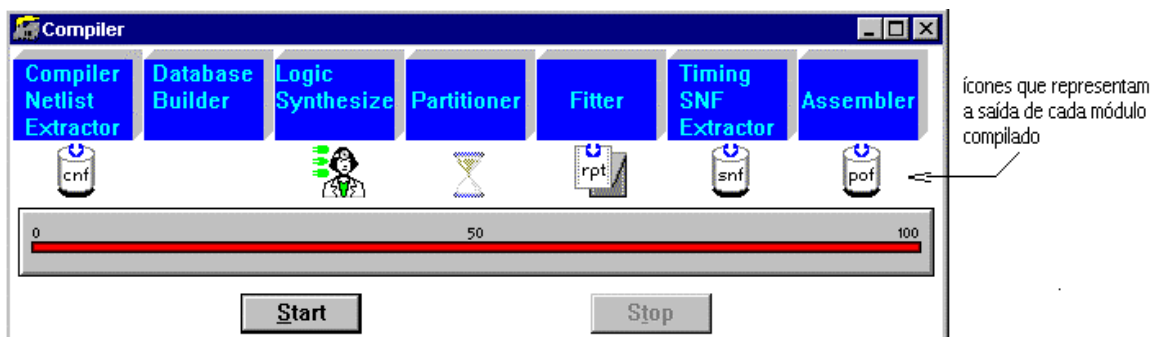


Figura 27

9.9 Localizando a origem das mensagens

9.9.1 Após a compilação, o MAX+PLUS II cria uma janela de mensagens, esta janela contém as mensagens de erro, warning e de informações do projeto (veja figura 28).

9.9.2 Para localizar uma determinada informação da janela do processador de mensagens, basta ativar uma delas com dois cliques. O editor que contém a mensagem selecionada é automaticamente aberto, indicando, em negrito, a origem da informação.

9.9.3 Para voltar ao *Message Processor*, feche o editor que foi aberto.

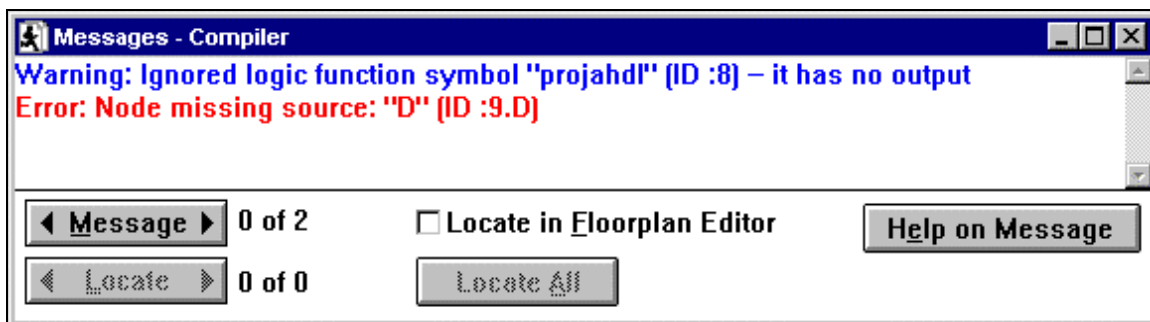


Figura 28

9.10 Informações sobre as mensagens

9.10.1 Com apenas um clique, selecione uma mensagem desejada.

9.10.2 Ative o ícone *Help on Message*. O texto de ajuda sobre a mensagem escolhida aparecerá na tela.

9.10.3 Para voltar ao *Message Processor*, feche o editor de ajuda que foi aberto.

9.11 Correção de erros

Após cada tentativa de correção de erro deve-se salvar e compilar o projeto novamente. Após a nova compilação, o *Message Processor* mostrará a atual condição do projeto.

10 Reconfigurando a Pinagem do EPLD

10.1 Compilar o projeto.

10.2 Escolher a função *Foorplan Editor* no menu *MAX+PLUS II*. Para abrir a janela da figura 29.

10.3 Escolher a opção *Device View* no menu *Layout*.

10.4 Ainda no menu *Layout*, escolher a opção *Current Assignments Foorplan*.

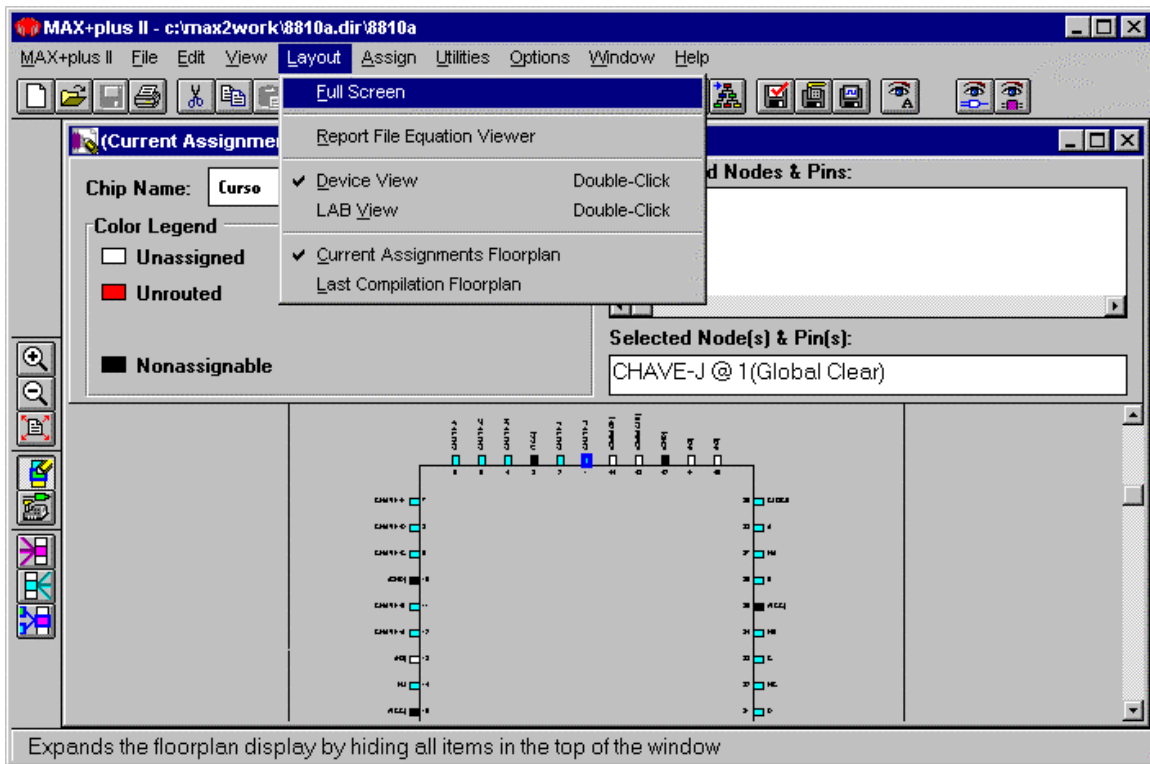


Figura 29

10.5 Para uma melhor visualização clique em *Full Screen* e utilize os botões



10.6 Posicione o mouse sobre o nome do pino a ser reconfigurado no campo *Unassigned Nodes and Pins* pressione o botão esquerdo do mouse e deixe-o pressionado.

Obs: Os dispositivos EPLD's da família 7000 S permitem programação através de conexão serial com um computador. Neste caso, estes dispositivos possuem quatro pinos destinados a esta comunicação e, portanto, os mesmos não poderão ser reconfigurados.

Se houver uma reconfiguração dos pinos usados pela comunicação serial, responsável pela programação do dispositivo, não será mais possível reprogramar serialmente este dispositivo. Os pinos usados para a programação serial são:

I/O, TDI

I\O, TCK
 I\O, TMS
 I\O, TDO

10.7 Arraste-o até sua nova posição sobre o desenho do CI, e solte o botão (o pino reconfigurado ficará azul).

Obs: A nova posição deve ser um pino ainda não ocupado (pino em branco).

10.8 Repita os itens 10.6 e 10.7 para todos os pinos a serem reconfigurados.

10.9 Após concluído o item 10.8, compile novamente o projeto.

11 Simulando seu Projeto

11.1 Criando os canais para simulação

11.1.1 Escolha *New* no menu *File*, selecione *Waveform Editor file*, selecione a extensão *scf* e escolha *OK*.

11.1.2 Se necessário, maximize a janela do editor de formas de onda.

11.1.3 Escolha *End Time* no menu *File* e informe o tempo final para o simulador do programa *Max+Plus II*.

11.1.4 Escolha *Grid Size* no menu *Options* e informe um valor para a divisão do tempo de simulação.

11.1.5 Clique duas vezes no espaço em branco na coluna *Name:*, localizada na porção lateral esquerda da janela *Waveform Editor*. A janela *Enter Node* é gerada (figura 30).

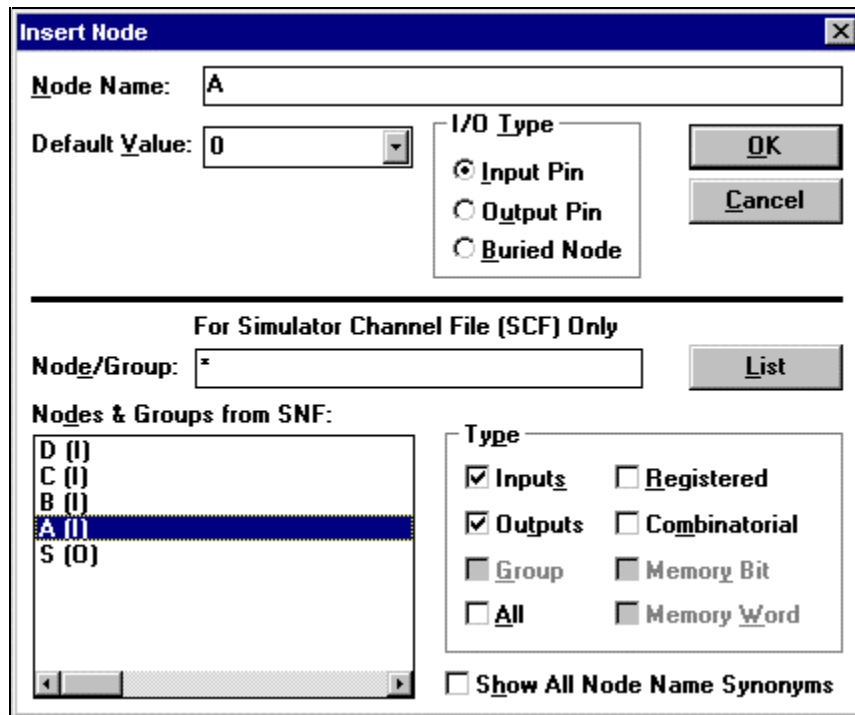


Figura 30

11.1.6 Desligue a opção *All* no quadro *Type*.

11.1.7 Ative as funções *Inputs* e *Outputs* no quadro *Type*.

11.1.8 Ative o ícone *List* para listar os pinos de entrada e saída.

11.1.9 Selecione com um clique, o nome do pino desejado no quadro *Node & Groups From SNF*, para que sejam transferidos para o quadro *Node Name*.

11.1.10 Informe um estado lógico inicial para o pino selecionado no quadro *Default Value*.

11.1.11 Escolha *OK* para transferir o pino para a tela de trabalho.


11.1.12 Escolha *Save As*. O nome de seu projeto com a extensão *scf* aparece automaticamente no quadro *File Name*.

11.1.13 Escolha *OK* para salvar o arquivo.

11.1.14 Repita os itens 11.1.5 a 11.1.12 para os outros pinos que serão simulados.

11.2 Alterando a ordem dos canais de seu projeto

11.2.1 Selecione um dos pinos de seu projeto, clicando-o com o *botão esquerdo* do mouse. A linha do pino selecionado ficará em negrito.

11.2.2 Posicione o mouse sobre o ícone do pino (por exemplo ). Pressione o *botão esquerdo* do mouse, mantendo-o pressionado. Movimente o pino selecionado para a posição desejada dentro do campo que contém os nomes.

11.2.3 Para finalizar a operação, basta soltar o botão do mouse.

11.3 Editando formas de onda para os pinos de entrada

Os processos para se editar formas de onda para um arquivo de simulação, são os mesmos descritos na seção 6: *projetos em formas de ondas*.

11.4 Salvando e fechando o arquivo

11.4.1 Escolha *Save* no menu *File*.

11.4.2 Escolha *Close* no menu *File*.

11.5 Abrindo a janela do simulador

11.5.1 Escolha a função *Simulator* no menu *Max+Plus II* (veja figura 31).

11.5.2 Caso as opções *Use Device* e *Check Outputs* estiverem ativas (com um tickt), desative-as.

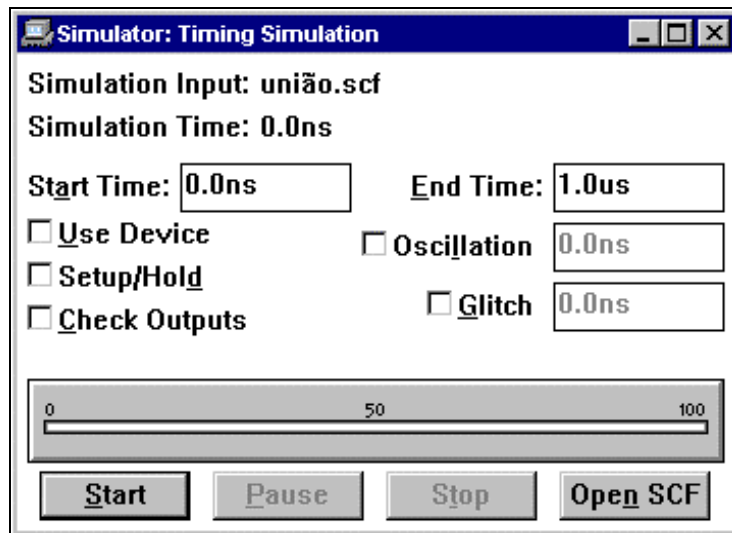


Figura 31

11.6 Especificando arquivos de saída adicionais

11.6.1 Escolha *Inputs/Outputs* no menu *File*.

11.6.2 Ative as opções *History* e *Log* no quadro *Output Files*.

11.6.3 Escolha *OK*.

11.7 Iniciando a simulação

11.7.1 Basta ativar o ícone *Start*.

11.7.2 Ao final da simulação, escolha *OK*.

12 Analisando os Arquivos de Saída da Simulação

12.1 Analisando o arquivo Simulator Channel File (scf)

12.1.1 Ao final da simulação clicar em *Open SCF* na janela de simulação.

12.1.2 Caso a janela de simulação não esteja aberta, escolha o comando *Open* no menu *File*, selecione *Waveform Editor*, e selecione a extensão *scf*. Clique duas vezes sobre o nome de seu projeto. O editor de forma de onda abrirá com o resultado da simulação.

12.2 Analisando os arquivos History e Log

12.2.1 Escolha *Open* no menu *File*.

12.2.2 Selecione *Text Editor files* e escolha a extensão *hst* ou *log*.

12.2.3 Clique duas vezes sobre o nome de seu projeto, juntamente com a extensão desejada, no quadro *Files*.

13 Analisando a Performance de seu Projeto

Nesta seção o usuário poderá analisar a performance do projeto em três diferentes modos:

- *Delay Matrix*: Analisa o atraso na propagação dos sinais entre os pinos de entrada e saída;
- *Registered Performance*: Analisa o mínimo período de clock e máxima frequência do circuito;
- *Setup/Hold Matrix*.

13.1 Abrindo a janela do Timing Analyzer

13.1.1 Escolha *Timing Analyzer* no menu *Max+Plus II*.

13.1.2 Se necessário, maximize a janela aberta (veja figura 32).

Obs: O *Timing Analyzer* automaticamente carrega o arquivo que contém o nome de seu projeto com a extensão *snf*, como parâmetros de entrada.

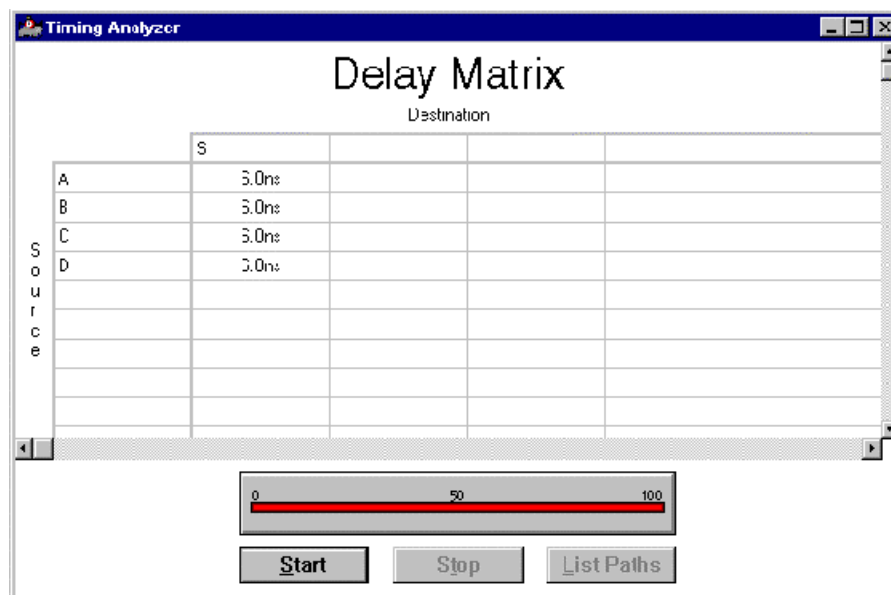


Figura 32

13.2 Iniciando a análise de seu circuito

13.2.1 Basta ativar o ícone *Start*.

13.2.2 Ao término da análise, escolha *OK*.

13.3 Iniciando a análise de seu circuito em outro modo

Para analisar seu circuito em outro modo, basta escolher *Registered Performance* ou *Setup/hold Matrix* no menu *Analysis* da janela do *Timing Analyzer* e repetir o item *Iniciando a análise de seu circuito*.

14 Analisando o Arquivo Report

Após o a compilação, o MAX+PLUS II cria o arquivo *Report*, com o nome do projeto e extensão *.rpt*. Este arquivo contém as informações gerais sobre a compilação dos dispositivos. As mais importantes são :

- Componente utilizado;
- O número de pinos de entrada;
- O número de pinos de saída;
- O número de células ocupadas;
- A porcentagem utilizada do componente;

** DEVICE SUMMARY **							
Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Shareable LCs	Expanders	% Utilized
motpasso	EPM7064SLC44-10	3	4	0	4	0	6 %
User Pins:		3	4	0			

Figura 33

- A disposição da pinagem do componente.

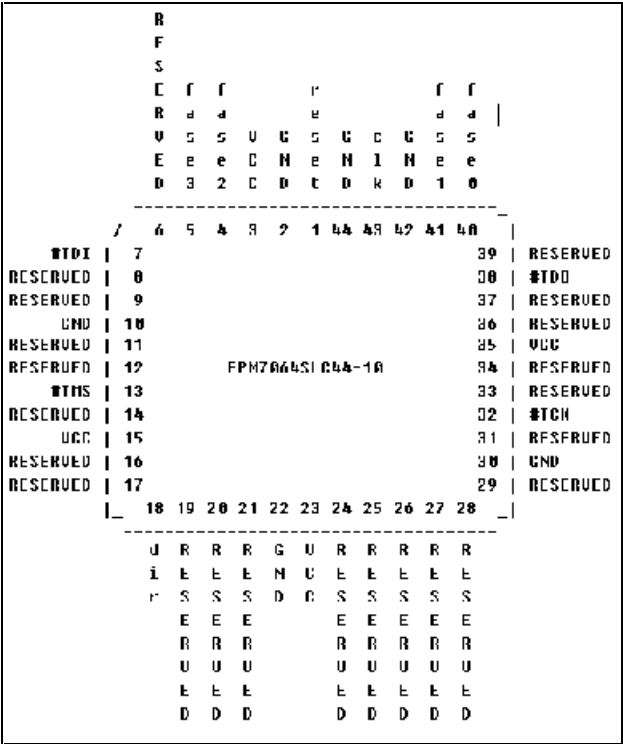



Figura 34

- arquivo *report* pode ser chamado escolhendo a função *open* no menu *File*, selecionando a opção *Text Editor Files* e escolhendo a extensão *.rpt* (). Finalmente para abrir o arquivo, clica-se duas vezes no nome do arquivo no quadro *Files*.

15 Programando um Dispositivo Altera

15.1 Abrindo a janela do programador

15.1.1 Escolha *Programmer* no menu *Max+Plus II*. A janela do compilador é aberta (veja figura 35).

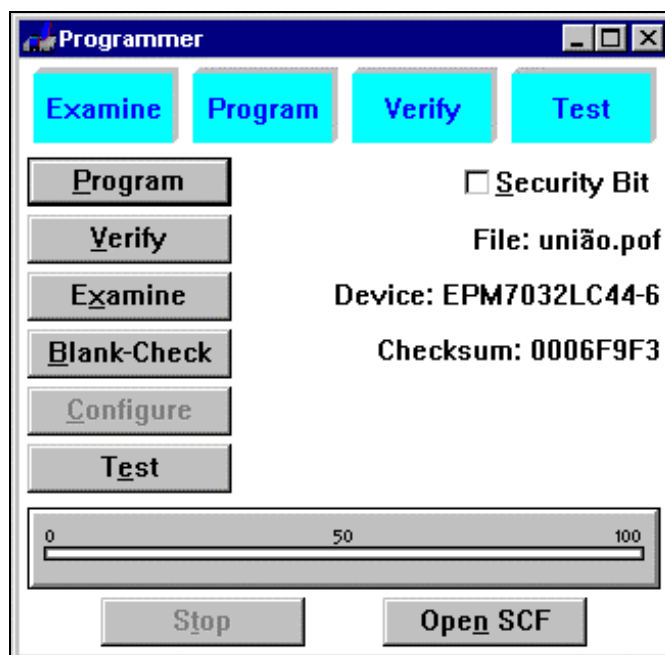


Figura 35

15.2 Especificando um arquivo de saída do programador (plf)

Este arquivo é opcionalmente criado para gravar todas as ações e mensagens do programador, que poderão ser usadas para futuras referências.

15.2.1 Escolha *Inputs/Outputs* no menu *File*.

15.2.2 Se necessário, ligue a opção *Log(plf)* no quadro *Output File*.

15.2.3 Escolha *OK*.

15.3 Programando um dispositivo

15.3.1 Conecte o Byte Blaster na porta paralela do PC.

15.3.2 Conecte a outra extremidade do Byte Blaster no adaptador de teste/gravação (veja figura 36). O mesmo poderá ser adquirido da empresa Datapool Eletronica Ltda (email: comercial@datapool.com.br - fone 35-36235272)

O adaptador de teste/gravação foi desenvolvido para possibilitar o teste e/ou programação serial de dispositivos da família 7000 S, com encapsulamento PLCC-44 pinos. Este adaptador permite a conexão de um componente PLCC a um protoboard, para facilitar testes laboratoriais no dispositivo.

Além dos 44 pinos correspondentes ao dispositivo, existem mais dois pinos usados para a alimentação do conector serial ligado ao byteblaster. Observar que, no

adaptador, a contagem dos pinos correspondentes ao dispositivo PLCC é sequencial e feita eliminando-se estes dois pinos de alimentação.

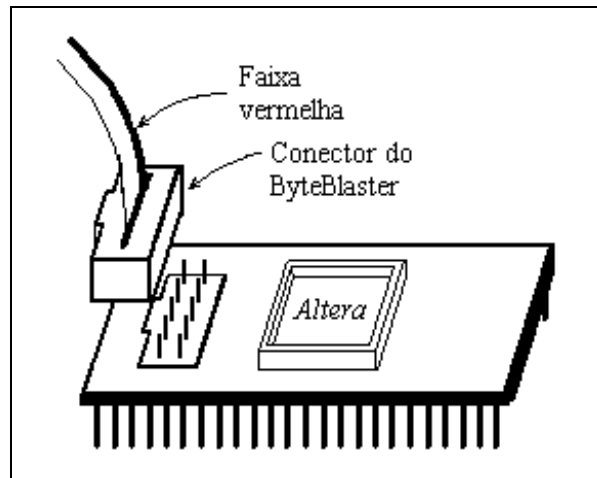


Figura 36

15.3.3 Encaixe o dispositivo no soquete, conforme a figura 37.

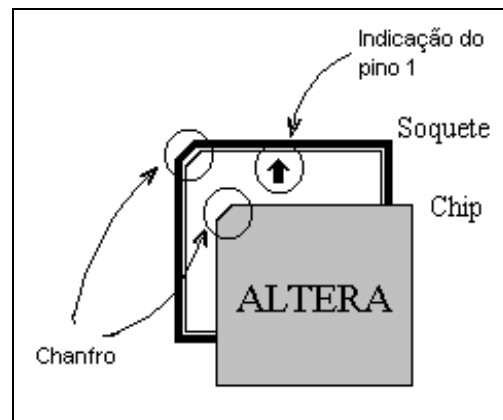


Figura 37

15.3.4 Escolher a função *Hardware Setup* no menu *Options*. (Figura 38).

- Selecionar *ByteBlaster* no campo *Hardware Type*;
- Selecionar a *LPT* da porta paralela no campo *Parallel Port*.
- Clicar OK. O software voltará para a janela programmer.

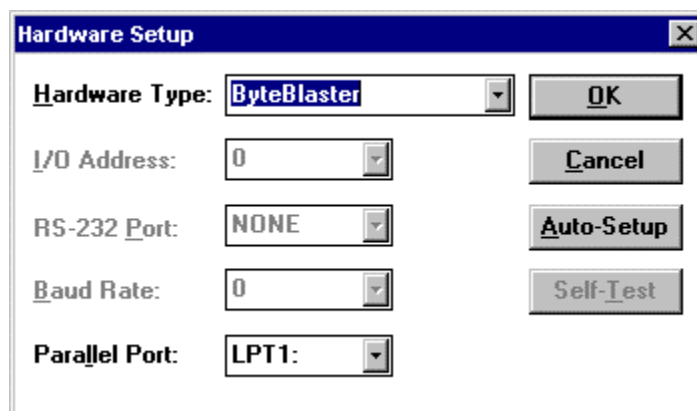


Figura 38

15.3.5 Quando utilizar o módulo digital, tenha a certeza de que a chave de seleção TTL/CMOS está posicionada em TTL.

15.3.6 Com o módulo desligado, ligue a alimentação de +5v no pino Vcc do adaptador de teste/gravação e o COMUM no pino GND.

15.3.7 Ligue também todos os pinos de Vcc e GND do dispositivo EPLD apresentados no arquivo *report* (*.rpt*) do projeto.

15.3.8 Escolha o botão *Program* na janela do programador (figura 35).

15.3.9 A barra vermelha indicará a porcentagem da programação em andamento, ao chegar em 100, indica que o EPLD está gravado.

15.3.10 Clique OK.

16 Testando um projeto

Com a utilização do módulo digital, é possível efetuar testes em um dispositivo programado, quando o projeto for de baixa complexidade.

Para tal, deve-se conectar os pinos definidos como entradas às chaves de dados do módulo e os pinos de saídas aos Led's de monitoração.

Efetue as ligações conforme a pinagem descrita no arquivo *report* (*.rpt*) do projeto.

Assim, através das chaves de dados, podem ser efetuadas as sequências necessárias de operações de entradas, obtendo-se as correspondentes operações de saídas, definidas para o circuito.

Em todos os testes a serem realizados, coloque a chave TTL/CMOS do módulo, se existir, na posição TTL, em caso contrário, irá danificar o dispositivo EPLD sob teste.

This document was created with Win2PDF available at <http://www.daneprairie.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.