

DISPOSITIVOS LÓGICOS PROGRAMÁVEIS

1. CIRCUITOS DIGITAIS

Os circuitos integrados desenvolvidos em uma pastilha de silício podem ser divididos em dois grupos de integração: circuitos integrados padrões e circuitos integrados de aplicação específica (ASIC).

Os circuitos integrados padrões são compostos pelos circuitos integrados de funções fixas, que correspondem aos componentes digitais básicos (funções E's, OU's, Não E's, OU's Exclusivos, Flip-Flops, etc.), pelos microprocessadores e pelos circuitos integrados reconfiguráveis, ou programáveis (dispositivos lógicos programáveis).

Os circuitos integrados de aplicação específica (ASIC) são subdivididos em circuitos integrados denominados "FULL CUSTOM" e circuitos integrados denominados "SEMICUSTOM".

Os componentes SEMICUSTOM se dividem nos arranjos de gates (Gate Arrays) e nos arranjos de células (Cell Based).

A figura 1 resume esta classificação.

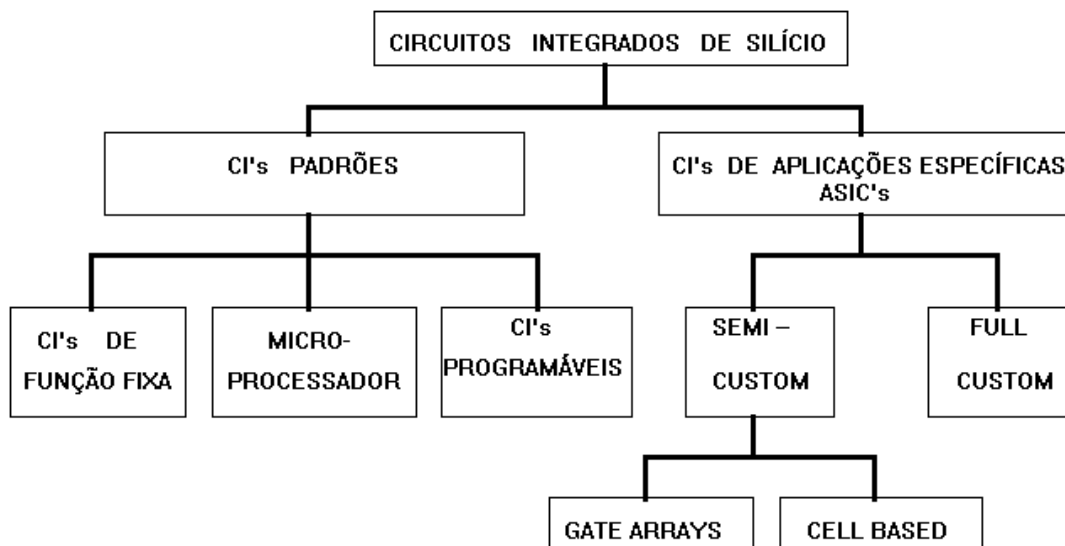


Fig.1 - Classificação dos circuitos integrados

Os circuitos integrados padrões são disponíveis no mercado em grande quantidade de itens. São classificados em SSI (integração de pequena escala) e MSI (integração de média escala), normalmente construídos em lógica TTL, ou CMOS, possuindo funções analógicas e digitais de propósito geral, baixo custo, devido a sua produção em massa, com blocos funcionais bastante simples e, portanto, necessitando de vários componentes para a realização de uma função específica. Ainda são disponíveis os LSI (integração em grande escala) e os VLSI (integração em muito grande escala) que possuem funções específicas mais complexas, tais como, periféricos de comunicação de dados, temporizadores, controladores de redes, interfaces de barramentos, blocos para processamento digital de sinais, etc.

Microprocessadores são componentes extremamente flexíveis devido a sua programabilidade. A programação do componente torna-o flexível para implementação de vários tipos de aplicações, entretanto, a implementação de um algoritmo por software será mais lenta que quando implementada por um hardware equivalente. Assim, para alguns casos, a tarefa deverá ser implementada por hardware.

Os componentes ASIC são programados através de interconexões metálicas usadas na fabricação de circuito integrado, sendo também denominados de MPLD's (Mask-Programmable Logic Device, ou seja dispositivos de lógica programável por máscaras, e portanto, necessitam de ter suas funções definitivas de operação implementadas na própria construção do componente.

Os componentes ASIC's Full Custom tem o seu projeto desenvolvido a nível de transistores, para se obter uma performance ótima, possuem longo tempo de desenvolvimento, alto custo de projeto, alto nível de integração e somente poderá ter uma alta performance de desenvolvimento se produzido em grande volume.

Os componentes ASIC's Semicustom são fabricados em quantidades de milhares de peças e utilizam de ferramentas CAD para o seu desenvolvimento. O projeto do usuário estará baseado em blocos pré-desenvolvidos, ou em células contendo blocos lógicos, flip flops, ou funções digitais maiores. O usuário não executa o seu projeto a nível de transistores, ou de desenvolvimento de células. Estes componentes geralmente são classificados em arranjos de

blocos (gate arrays), em arranjos de células (cell based) e em arranjos gerais de células (macro-cells, ou general cells). Em todos os casos, a fabricação final do componente é realizada pelo fabricante de circuitos integrados.

Macro células são construídas com blocos e células compondo uma biblioteca de funções, com nenhuma restrição no posicionamento destes itens em uma fila ou em uma matriz. Podem incluir áreas de memória RAM e ROM, arranjos lógicos programáveis (PLA) e grandes blocos funcionais, equivalentes aos VLSI's, por exemplo, microprocessadores, controladores de CRT, etc.

"Gate arrays" são arranjos regulares de blocos que possuem células periféricas para possibilitar interligações de entrada e saída. Podem ser arranjados em blocos, em filas, ou em matriz de blocos (sea-of-gates). Usualmente, somente as camadas de metais que interligam esses blocos é que serão desenvolvidas.

"Standard Cells" são compostos de uma biblioteca de células padrões arranjadas em arquitetura de filas e com canais de roteamento desenvolvido de acordo com a necessidade do usuário. Algumas vezes somente se desenvolvem camadas de metais, outras vezes há a necessidade de se desenvolver todas as camadas no componente.

A figura 2 apresenta a estrutura de arranjos de blocos organizados por blocos, filas e matriz, com também a estrutura de um ASIC composto de células padrões e blocos funcionais.

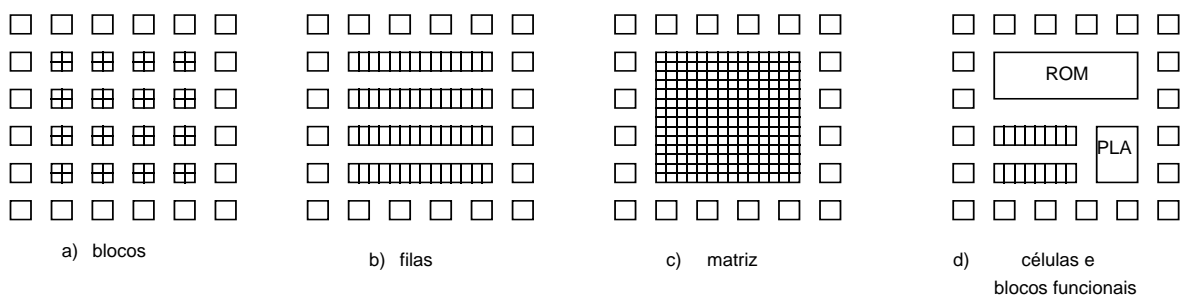


Fig.2 - Estrutura de gate arrays organizados por
a) blocos b) filas c) matriz e de
standard cells contendo células e blocos funcionais

2. INTRODUÇÃO A LÓGICA PROGRAMÁVEL

Uma função lógica, seja combinacional ou sequencial, poderá ser representada na forma de soma de produtos através do uso do **Teorema de DeMorgan** ou das **Leis da Álgebra Booleana**. Uma função lógica complexa de multi-níveis poderá facilmente ser reduzida a uma configuração de dois níveis usando **E's-OU's**. Estas propriedades das funções lógicas possibilitaram a implementações de componentes eletrônicos contendo arranjos uniformes de **E's-OU's** que podem ser programados, de uma maneira clara e eficiente, para a obtenção da função desejada.

Com a finalidade de aumentar a capacidade de implementação lógica nos dispositivos programáveis, surgiram novas arquiteturas que incorporam flip-flops em suas estruturas para facilitar o desenvolvimento de máquinas de estado e circuitos com lógica síncrona.

Os primeiros dispositivos programáveis surgiram na década de 70 através do desenvolvimento da tecnologia de memórias ROM programáveis (**PROM's**).

Os componentes programáveis são, portanto, circuitos integrados que podem ser configurados pelo usuário em seu local de trabalho, sendo denominados de FPLD's (Field-Programmable Logic Device. Os mesmos, por serem fabricados por completo e não apresentarem uma função lógica definida, até que sejam configurados, diferem dos circuitos integrados personalizáveis por máscaras (**ASIC, CUSTOM** ou **SEMICUSTOM**), os quais tem um alto fator de tempo de desenvolvimento e de custo.

Para poder personalizar um dispositivo programável, o usuário terá a sua disposição software que permite descrever a função lógica desejada usando captura de diagramas esquemáticos, tabelas verdadeiras de tensão, equações booleanas, linguagem de descrição de hardware (HDL - *Hardware Description Language*), formas de ondas de sinais de entrada e saída, ou qualquer outra opção fornecida pelo fabricante do componente. Após a definição, simulação e validação do funcionamento, haverá um hardware específico que irá programar o dispositivo.

A programação do dispositivo é feita de maneira serial, ou seja, somente um dispositivo por vez. Já para os dispositivos personalizados por máscaras, podem ser implementados paralelamente tantos CI's quantos forem permitidos pelo processo de fabricação.

Nestes componentes sempre haverá uma perda de elementos não utilizados pela função desejada. Assim, cabe ao fabricante desenvolver ferramentas que possibilitam melhorar o fator de utilização do CI, ou seja a relação entre a quantidade de funções lógicas implementadas e a capacidade lógica do componente, através de otimização dos elementos programáveis e da escolha adequada do componente a ser utilizado. Entretanto esta perda inevitável de área de silício não utilizada é compensada com o baixo custo de desenvolvimento do dispositivo e a sua rápida obtenção.

Os dispositivos de programação utilizados nestes componentes são elementos de programação que permitem conectar, ou não, dois pontos estratégicos do circuito. Comumente estes elementos são elos fusíveis, anti-fusíveis, células SRAM, transistores EPROM e EEPROM. Assim, alguns destes dispositivos podem ser reprogramados e outros são de programação única.

As denominações dos fabricantes para estes dispositivos programados pelos usuário, normalmente citadas nas literaturas, são PROM's, PLE's, PAL's, PLA's, EPLD's, FPGA's, e outros.

3. EPLD's

Os dispositivos lógicos programáveis e apagáveis - EPLD's (Erasable Programmable Logic Devices) foram introduzidos pela empresa ALTERA no ano de 1983. Estes dispositivos são circuitos integrados configuráveis pelo usuário, os quais visam implementar funções lógicas aleatórias.

Nos últimos anos estes componentes tem sido preferidos nos projetos devido a sua alta integração, alta performance, baixo custo por função e o decréscimo de custo que está ocorrendo devido ao seu alto volume de fabricação.

Um EPLD pode ser usado, por exemplo, como máquina de estado, ou decodificador de sinais, substituindo vários componentes discretos que implementariam a mesma função.

As suas principais vantagens são:

- Sua programabilidade e reprogramabilidade permite que funções possam ser alteradas facilmente, simplificando o desenvolvimento de protótipos;
- Sua pinagem é determinada pelo projetista, o que pode simplificar o desenvolvimento de placas de circuito impresso, por movimentação dos sinais conforme desejado;
- Desde que são implementados em tecnologia CMOS, eles consomem menos potência que os dispositivos bipolares;
- Desde que uma célula EPROM tem ordem de magnitude menor que a de um fusível bipolar, então, pode-se implementar mais funções em uma mesma área de silício. Esta alta integração pode resultar em uma quantidade menor de componentes usados em um projeto;
- Um EPLD substitue vários componentes discretos. Isto implicará na redução de tamanho da placa de circuito impresso, do tempo de montagem, do número de componentes por placa, do estoque de componentes, do tempo de desenvolvimento, entre outras características;
- A programação realizada pelo próprio usuário reduz consideravelmente o tempo de obtenção final do circuito e possibilita futuras modificações;
- A tecnologia usada nestes componentes está baseada em células EPROM, células EEPROM e células SRAM.

O princípio de funcionamento dos componentes EPLD's está baseado nos PAL's, com estrutura programável de E's e estrutura fixa de OU's. Entretanto, os EPLD's são compostos de vários sub-blocos equivalentes a um PAL, com estruturas de somas de produto, interligados por um arranjo de conexões também programável. Com isto, os sub-circuitos poderão funcionar independentemente, ou serem interligados internamente, para executarem uma função maior.

A figura 3 apresenta esta estrutura.

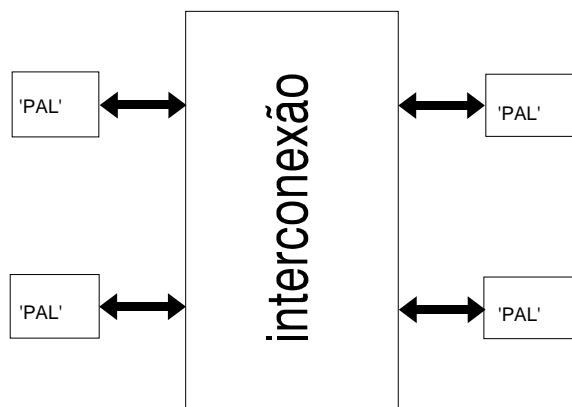


Fig.3 - Estrutura dos Dispositivos EPLD's

A ALTERA oferece várias famílias de dispositivos lógicos programáveis, que são: **Clássica, MAX 5000, MAX 7000, MAX 9000, FLEX 8000 e FLEX 10K.**

A arquitetura MAX usa a estrutura de matriz de arranjos múltiplos com tecnologia de programação baseada nas células EPROM, ou EEPROM. A família FLEX usa a arquitetura de matriz flexível de elementos lógicos, com programação baseada em tabelas LUT (look-up table) com células SRAM.

4. ARQUITETURA BÁSICA DE UM EPLD

O bloco básico de um EPLD é uma célula lógica de propósito geral que contém uma lógica combinatorial e flip-flop programável, que pode executar a função de qualquer tipo de flip-

flop (D, T, JK e SR), como também, ter a sua operação curto circuitada, deixando a célula executar uma função puramente combinatorial.

Na família clássica e na família MAX 5000 a estrutura está baseada em células lógicas. Na família MAX 7000, a estrutura é formada por macrocélulas que são blocos baseados em termos produtos.

Na família FLEX 8000, a estrutura é composta de uma matriz de elementos lógicos (LE's), baseados em arquitetura "look-up table". Cada LE contém quatro tabelas (LUT - Look-up table) para compor uma função de quatro variáveis e arquitetura de cascadeamento para implementar funções combinatoriais complexas e, também, contém registro programável, para implementar funções lógicas sequenciais.

Neste curso será enfatizado a família MAX 7000.

5. FAMÍLIA MAX 7000

Esta família é a segunda geração da arquitetura MAX. Possui lógica variando de 1000 e mais de 10000 gates equivalentes.

Os componentes tem encapsulamento variando de 44 a 208 pinos, no formato PLCC, PGA, QFP e TQFP.

Tempo de atraso lógico de até 5 nseg. pino a pino e frequências de contadores chegando até 178.6 MHz.

Também possui bit de segurança programável e todos os elementos desta família são suportados pelo software de desenvolvimento MAX + PLUS II.

Possui arranjo de interconexão programável (PIA) fortalecido, o que possibilita velocidade e atrasos fixos entre uma fonte interna e algum circuito destino.

Possui macrocélulas avançadas com localizações lógicas eficientes, para possibilitar velocidades e densidades ótimas.

Os registradores possuem, clear, preset, clock e habilitador de clock independentes.

Temporizações para os registros será realizada por arranjos internos, ou sinais globais de temporização.

Possui componentes com alimentação para 3,3 volts, para uso em circuitos portáteis, por exemplo notebooks.

A sua arquitetura inclui os seguintes elementos: arranjos de blocos lógicos (LAB), macrocélulas, expansores de termos produto, arranjo de interconexão programável (PIA) e blocos de controle de I/O. Em adicional, a família inclui quatro entradas dedicadas que podem ser usadas como entradas de propósito geral, como sinal de alta velocidade, ou sinais de controle global (clear, clock e habilitadores).

A macrocélula avançada pode ser configurada para operação combinacional, ou sequencial. É composta de três blocos funcionais: o arranjo lógico, a matriz de seleção de termos produto e o registrador programável.

A figura 4 apresenta esta estrutura.

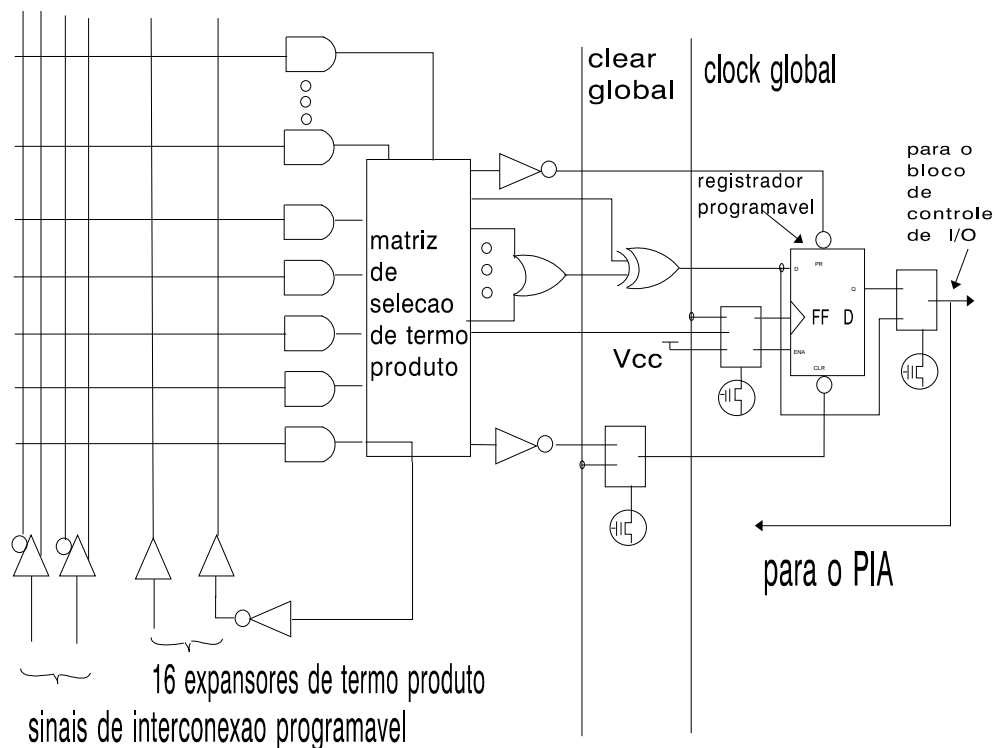


Fig.4 - Macrocélula da família MAX 7000

A lógica combinatorial é implementada no arranjo lógico, que contém cinco termos produtos por macrocélula.

A família MAX 7000 possui alocação programável de termos produtos, fazendo com que um termo produto possa ser usado como entrada lógica primária, aplicada a soma dos elementos (lógica OU e lógica OU exclusiva), para implementar a função combinatorial, ou ser usado como entrada lógica secundária, sendo aplicada aos controladores de habilitação de temporização, do clear, do preset, ou do clock.

Um termo produto por macrocélula pode ser invertido e realimentado no arranjo lógico.

O software de desenvolvimento MAX + PLUS II automaticamente otimiza a alocação dos termos produtos.

A figura 5 apresenta um diagrama de blocos de um EPLD da família MAX 7000, contendo o posicionamento dos elementos lógicos na estrutura.

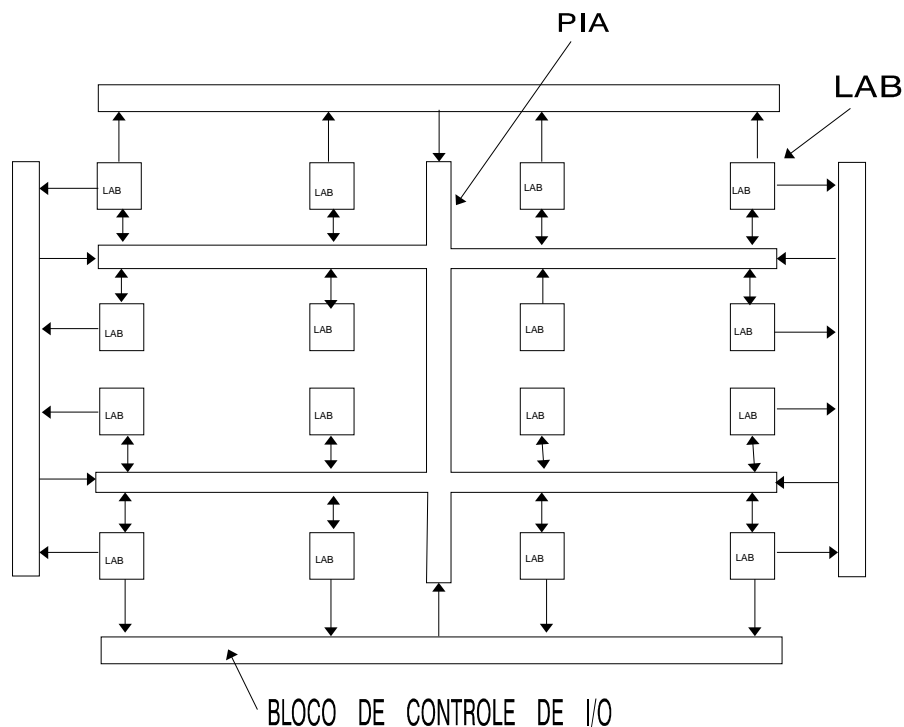


Fig.5 - Diagrama de blocos da família MAX 7000

A família MAX 7000 é de alta densidade, com programação de alta performance, fabricada na tecnologia CMOS e com programação baseada em EEPROM.

Além da versão clássica, existem as versões: MAX 7000V, que opera com tensão de alimentação de 3,3 volts, MAX 7000E, que é a versão com características fortalecidas, incluindo especificações de barramento local PCI, e a versão MAX 7000S, que incorpora a interface serial padrão IEEE 1149, ou JTAG (Joint Test Action Group), que possibilita a programação na própria placa de circuito impresso denominada ISP (In-System Programmability), ou seja, pode-se alterar as funções do dispositivo sem ter que retirá-lo de sua placa de operação.

A programação dos dispositivos da família MAX 7000 poderá ser efetuada com a **unidade de programação mestre**, denominada **MPU**, ou com o **dispositivo de programação serial** denominado **byteblaster**, para os dispositivo que possuam a comunicação JTAG.

Em parceria com a União Digital, a Datapool Eletrônica Ltda desenvolveu um pacote de experiências que visam ensinar as características básicas de projeto com o uso de dispositivos lógicos programáveis. Neste curso serão usados os dispositivos da família MAX 7000S. O pacote contém projetos básicos que envolvam os recursos do software MAX+PLUS II, nos modos de desenvolvimento por esquemático, por formas de ondas e por AHDL.

O projeto desenvolvido será programado serialmente no dispositivo, via conexão a um computador PC, através de um byteblaster, e um adaptador PLCC para dip, que possibilita a conexão do dispositivo ao protoboard do módulo digital 8810 da Datapool. Assim, após a programação do dispositivo, pode-se usar os recursos de entradas e saídas do módulo 8810 para efetuar a simulação e verificação do projeto.

Os dispositivos da família MAX 7000S possuem quatro pinos destinados a comunicação para programação, assim em placas que se deseja efetuar a programação de um dispositivo EPLD, deve-se deixar disponíveis os pinos que executam estas funções. A figura 6 apresenta esta conexão.

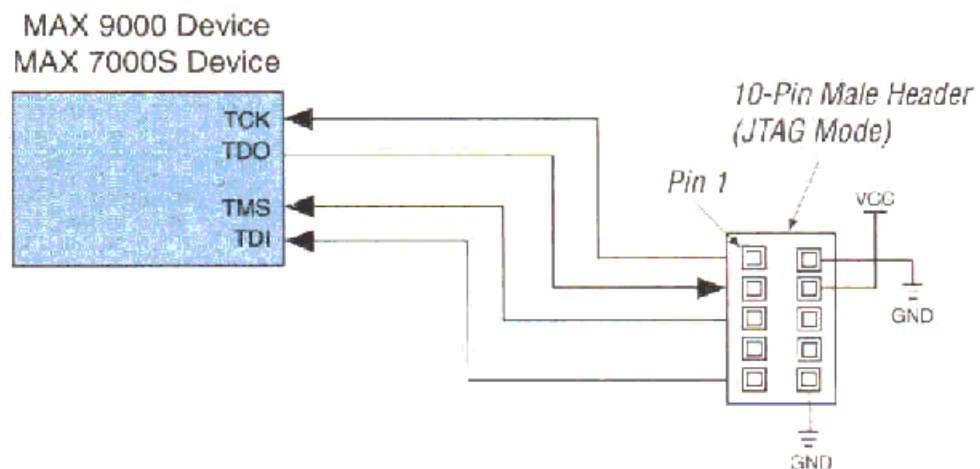


Fig. 6 *Conexão para programação de dispositivo via JTAG*

This document was created with Win2PDF available at <http://www.daneprairie.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.