

Programa Brazil-IP: Formando Talentos em Projetos de Microeletrônica de Qualidade

Objetivos e Resultados

Edna Barros e Elmar Melcher

Centro de Informática - UFPE

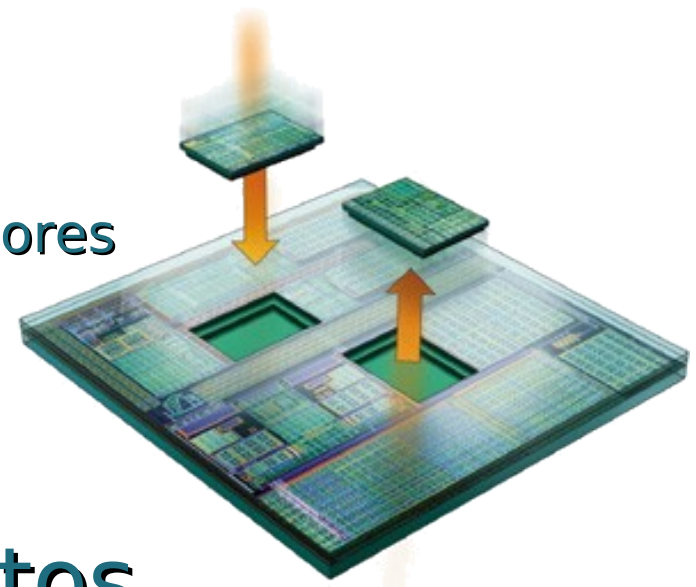
Departamento de Sistemas de Computação- UFCG



BRAZIL IP

Introdução

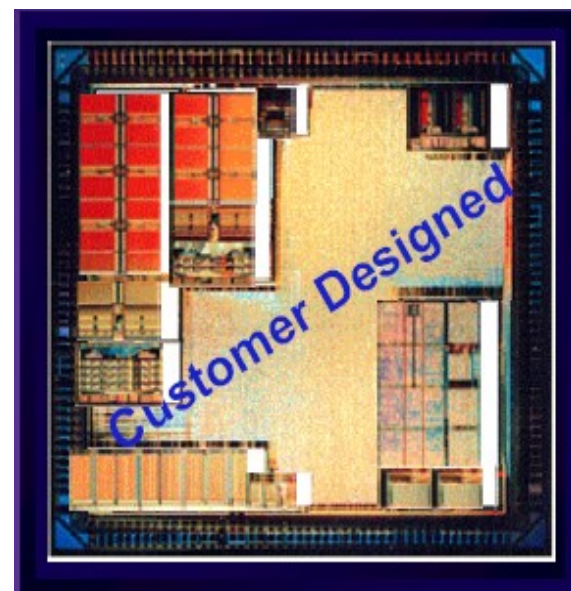
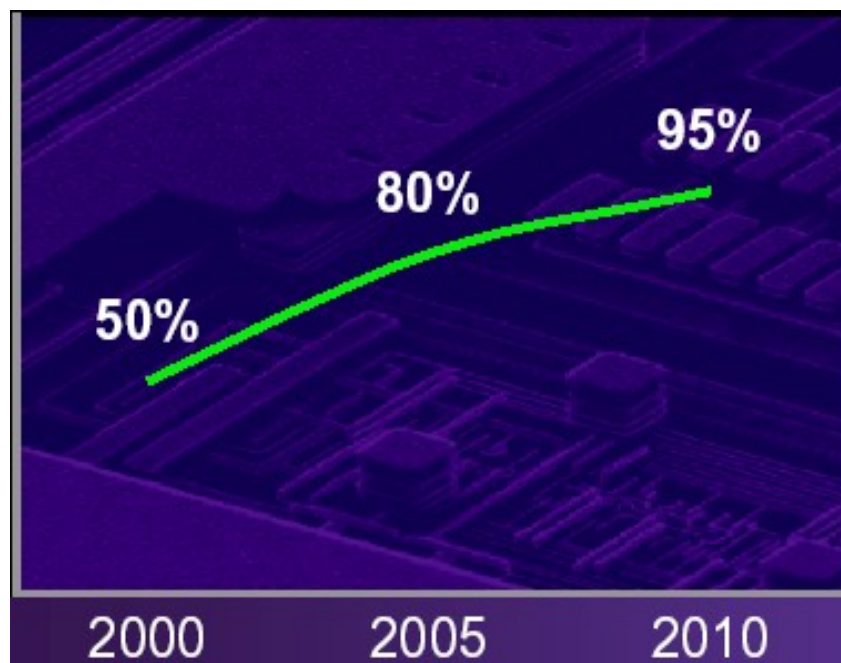
- ◆ Circuitos Integrados: **menores** e **Mais Complexos**
- ◆ Otimização de métricas de projetos
- ◆ Aparecimento dos **SoCs**
- ◆ Desenvolvimento da Indústria de **IP-cores**



Como projetar Circuitos Integrados com Qualidade?

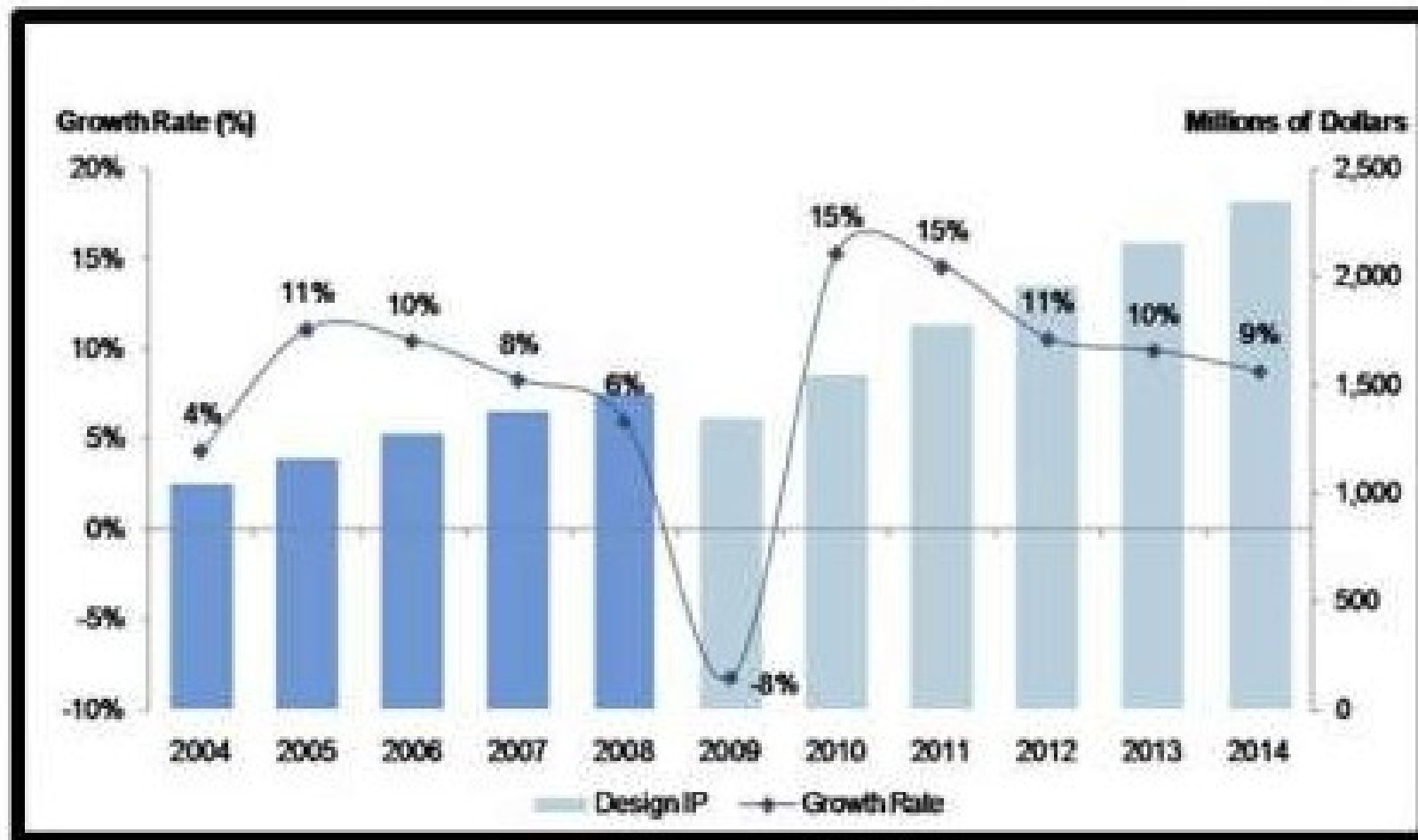


Reuso



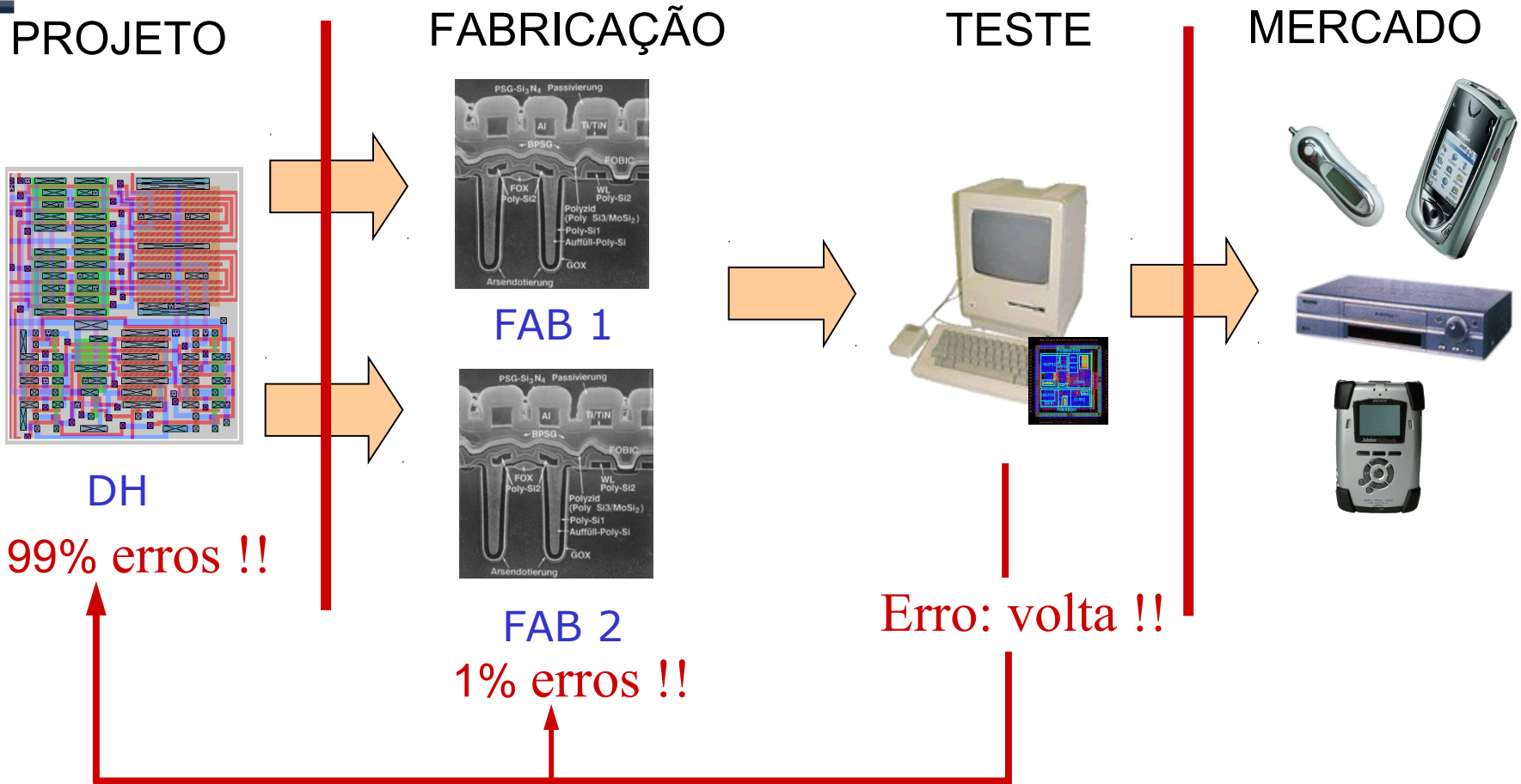
Source: op
B r a z i l - I P N e t w o r k - I P

Mercado de IP-cores



Source: Gartner (June 2010)

Projeto de IP-cores: Qualidade é Fundamental

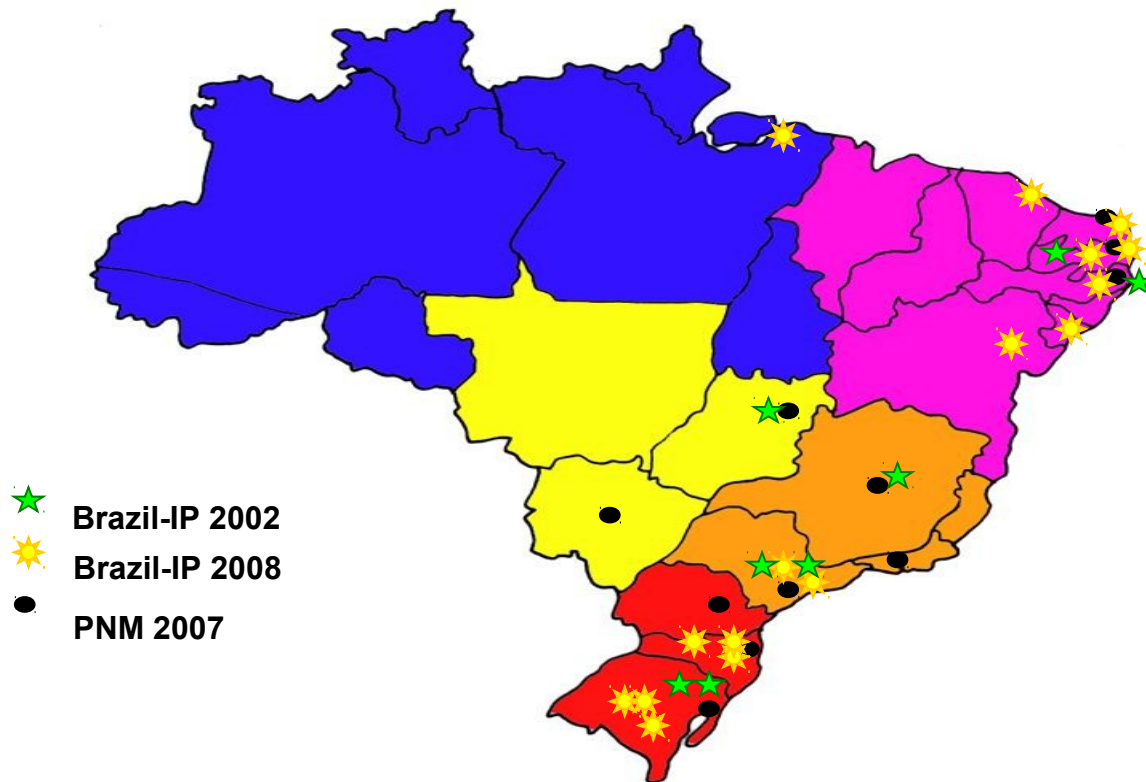


Objetivos Brazil-IP

- ◆ Fornecer treinamento especializado no projeto de IP-cores
- ◆ Estabelecer uma Metodologia de Projeto baseada em tecnologias modernas:
 - Mecanismos de Especificação (UML, SystemC, System Verilog)
 - Metodologias de Verificação Funcional
- ◆ Estabelecimento de um Processo de Desenvolvimento para o Projeto de IP-cores.



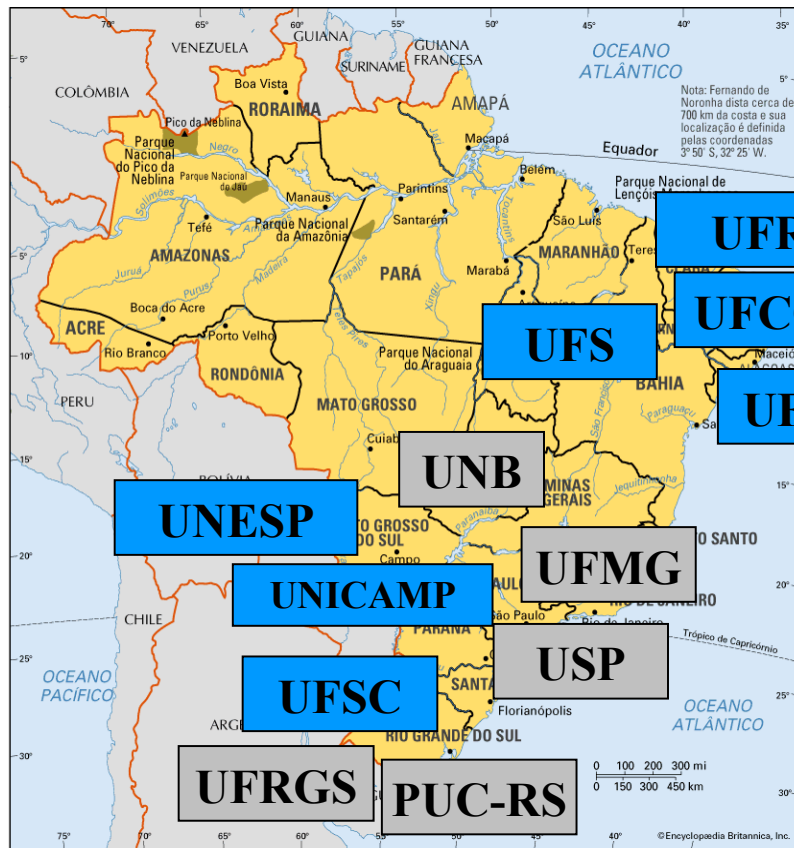
Brazil-IP Network



- ◆ 21 universidades
- ◆ Mais de 300 estudantes:
 - Graduação
 - Pós-graduação



Brazil-IP - 1ª Fase: Janeiro 2003 - Junho 2008



- 12 universidades
- Estudantes: 160



IP-cores projetados na 1ª Fase: Janeiro 2003 - Junho 2008

◆ 12 IP-cores Digitais

- Microcontrolador 8051
- Decodificador MPEG4
- Decodificador MP3
- Microprocessador de 16 bits
- USB- Host
- Controlador LCD
- Controlador Serial 8251
- Controlador Paralelo 8255
- Codificador MPEG2
- Filtro DCT
- Controlador OCR
- IP-core Transformada de Fourier (FFT)

◆ 2 IP-cores Analógicos

- Conversor Analógico Digital
- Sensor de Temperatura



IP-cores projetados na 1ª Fase: Janeiro 2003 - Junho 2008

Silicon Validate IP-cores

- 8051 microcontroller
- MPEG4 Decoder
- MP3 Decoder
- 16 bits microprocessor
- Wireless temperature sensor
- AD converter

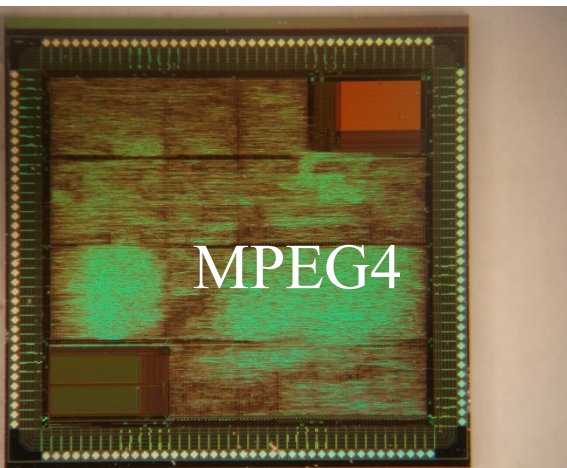
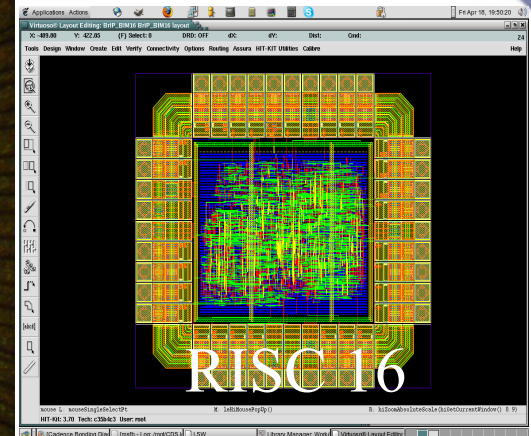
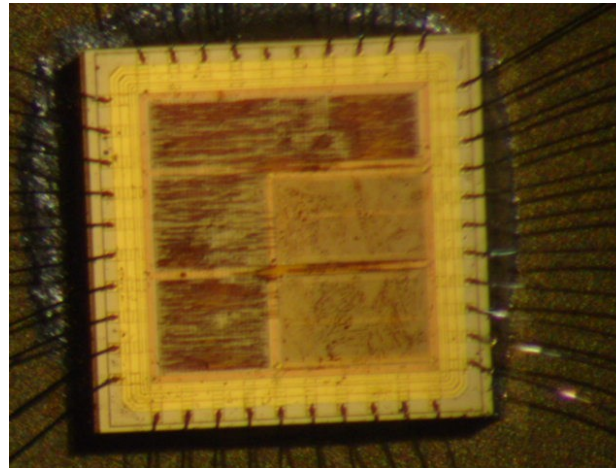
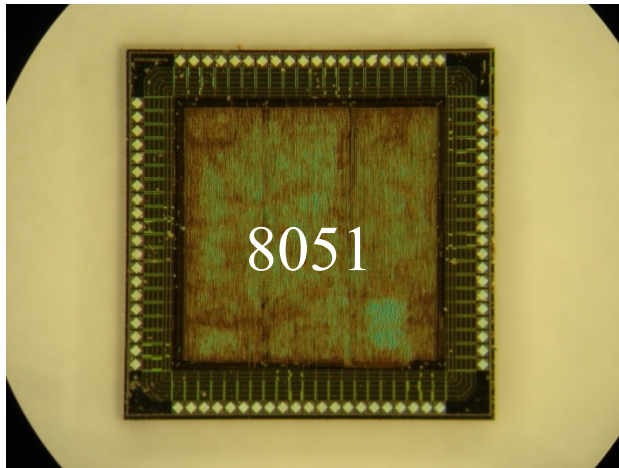
FPGA validate IP-cores

- USB - Host controller
- MEG2 encoder
- LCD controller
- FFT core
- LCD OCR controller
- 8255 and 8251
- DSP Filters

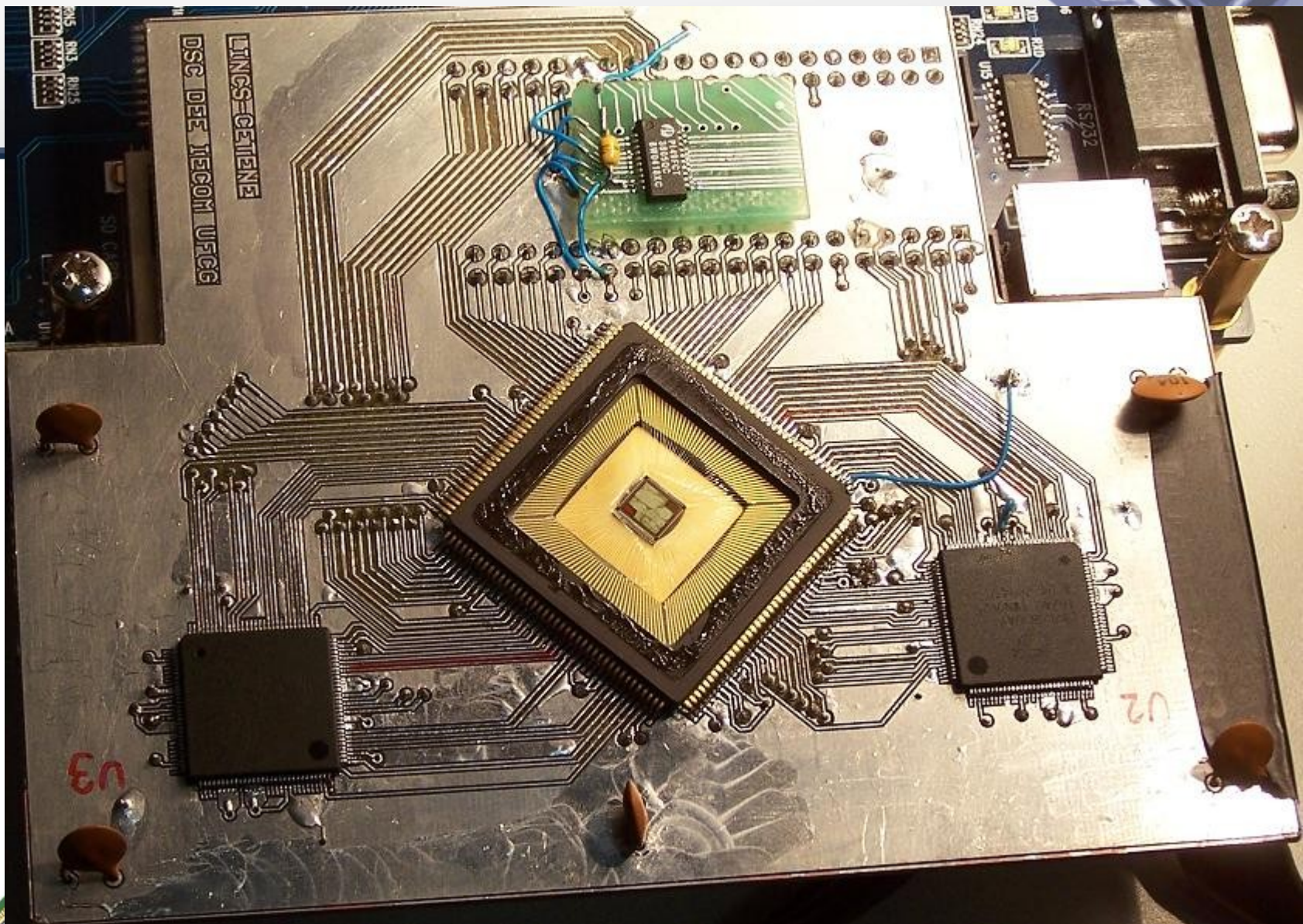


Brazil-IP Resultados

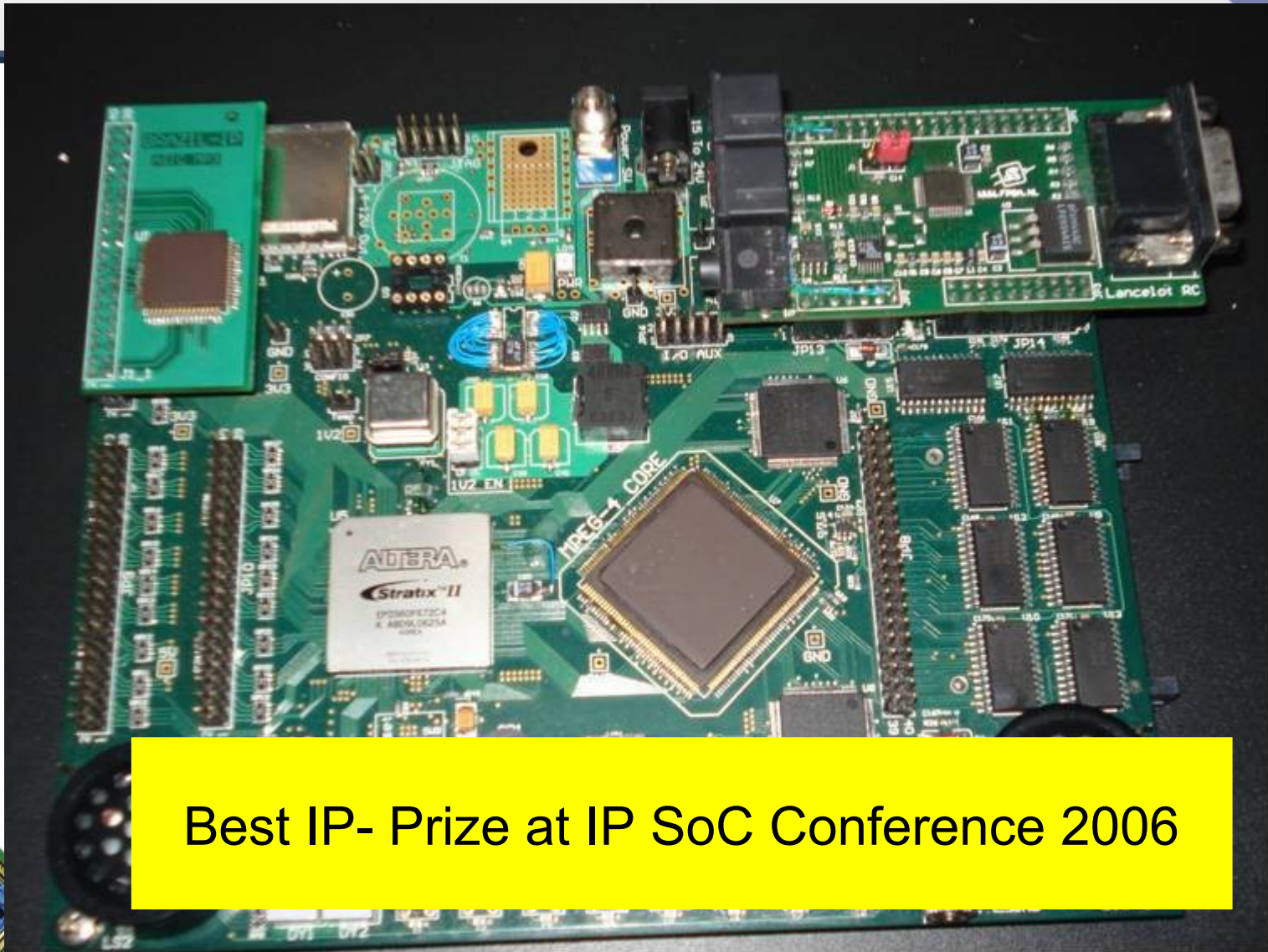
First time Silicon !!!



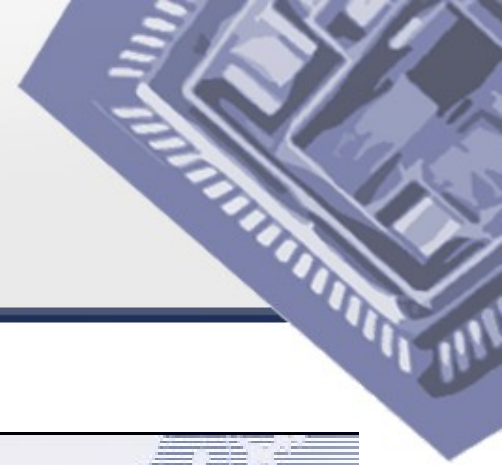
z i l - I P N e t w o r k



Brazil-IP Results



Premio no IP-SoC 2006



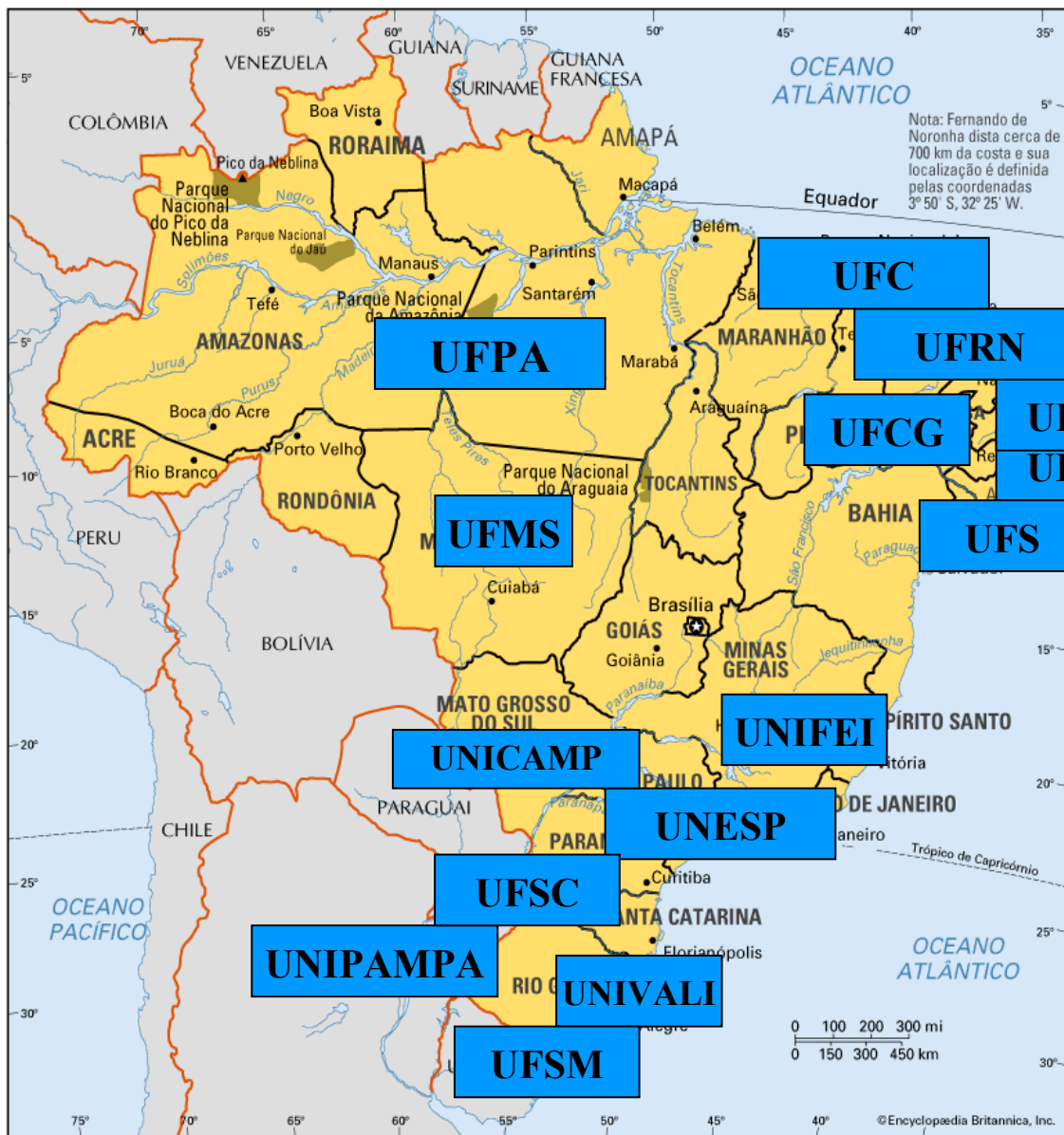
Brazil Design Team Joins IP Silicon Club

Best IP/SOC 2006 Design Award



B r a z i l - I P N e t w o r k

Brazil-IP - 2ª Fase: Julho 2008 a Junho 2011



- 18 equipes
- 16 universidades
- Estudantes: 163

IP-cores em desenvolvimento: Julho 2008 a Junho de 2011

◆ 15 IP-cores digitais

- UFPE - IP-core Multichannel Buffered Serial Port (McBSP)
- UFPA - Controlador Programável de Motor de Passo
- UFS - Módulo Transmissor HDMI
- UFPB - IP core para compressão sem perdas de sinais biológicos
- UFCG - Módulo IP-core para Verificação Automática de Identidade Vocal
- UNIPAMPA - IP-core Unidade Aritmética em Ponto Flutuante Padrão IEEE-754
- UNIVALI (Itajaí) - IP de Interface LIN Escravo para Sub-redes Automotivas
- UNESP (S. J. R. P) - IP-core para Filtragem Digital de Imagens



IP-cores em desenvolvimento: Julho 2008 a Junho de 2011

◆ 15 IP-cores digitais

- UNICAMP – IP-core 8255 e 8251
- UFC - CPU com Suporte a IEEE 1149.1 e On-chip debug
- UEFS - Decodificador de Áudio MPEG-2 AAC-LC
- UFSC - Desenvolvimento de IP-Cores para Sistemas de Radiofrequência
- UFSC - DCT-2D: IP-core para codificação de imagens em formato JPEG
- UFSM - Amplificadores com Ajuste Digital de Parâmetros
- UFSM – Ip-core Fullduplex do Protocolo IPv4 (Internet Protocol version 4)
- UFMT – IP-core USB Client
- UNIFEI – (Itajubá) – Cartão Leitor de Memória



IP-cores em desenvolvimento: Julho 2008 a Junho de 2011

- ◆ 3 IP-cores analógicos
 - UFRN - Conversor Analógico-Digital
 - UFSC - Desenvolvimento de IP-Cores para Sistemas de Radiofrequência
 - UFSM - Amplificadores com Ajuste Digital de Parâmetros
- ◆ Fabricados
- ◆ Em estágio de caracterização



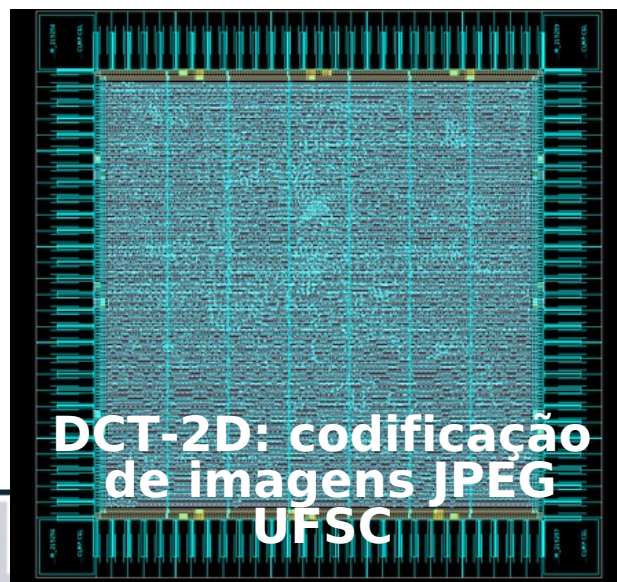
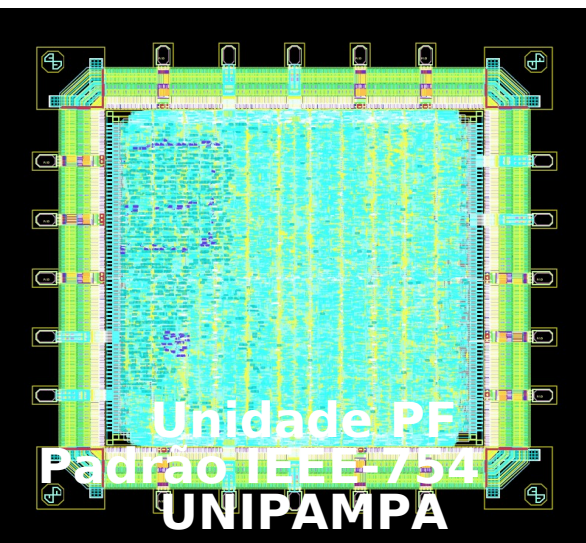
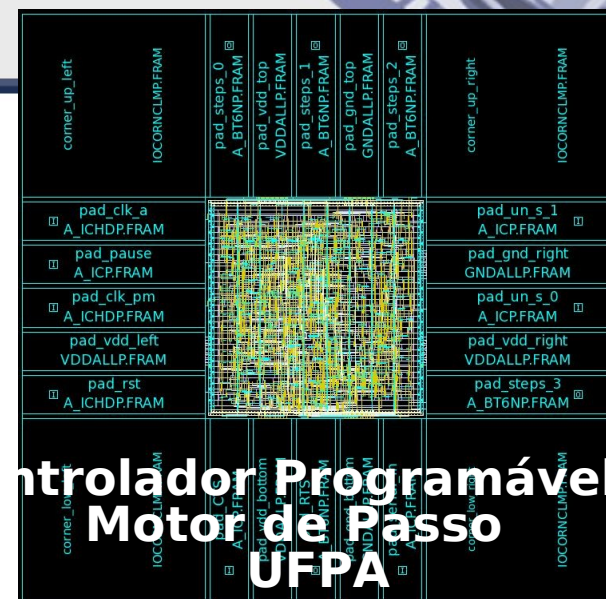
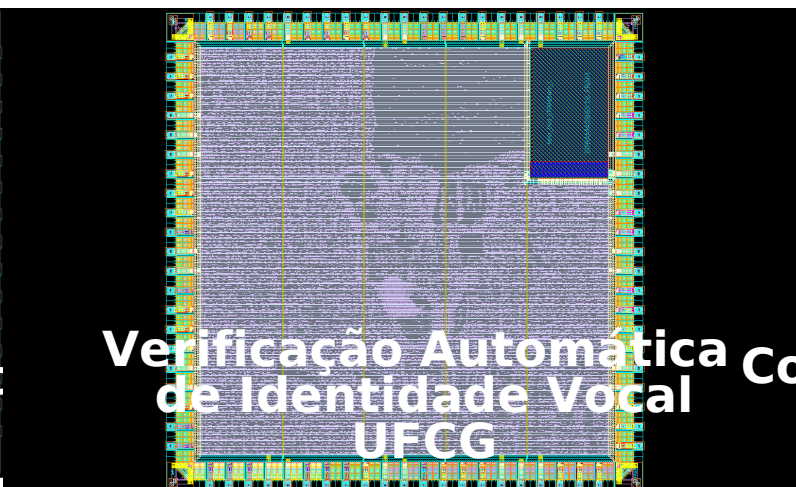
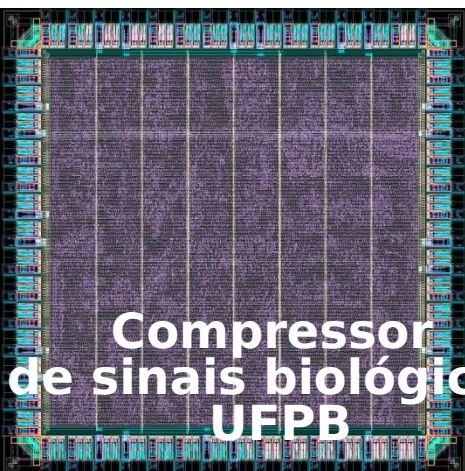
IP-cores em desenvolvimento:

<u>Uni</u>	<u>IP-core</u>	<u>Testbenc h + RefMod</u>	<u>RTL</u>	<u>Bolsista s</u>	<u>FPGA</u>	<u>Layou t</u>
UFPE	Multichannel Buffered Serial Port	73181	9277	10	sim	não
UFPA	Controlador Programável de Motor de Passo	1163	369	10	sim	sim
UFS	Controlador OCD	228	2268	5	sim	não
UFPB	Compressor sem perdas de sinais biológicos	11461	1284	10	sim	sim
UFCG -	Verificação Automática de Identidade Vocal	7973	1367	10	sim	sim
UNIPAMPA	Unidade Aritmética em Ponto Flutuante Padrão IEEE-754	340	13.400	9	sim	sim
UNIVALI (Itajaí)	Interface LIN Escravo para Sub-redes Automotivas	20.000	5.558	7	sim	sim

IP-cores em desenvolvimento: Julho 2008 a Junho de 2011

<u>Uni</u>	<u>IP-core</u>	<u>Testbench + RefMod</u>	<u>RTL</u>	<u>Bolsistas</u>	<u>FPGA</u>	<u>Layout</u>
UNICAMP	IP-core 8255 e 8251	1586	945	6	sim	sim
UFC	CPU com Suporte a IEEE 1149.1 e On-chip debug	1328	5565	11	sim	sim
UEFS	Decodificador de Áudio MPEG-2 AAC-LC	20324	6697	22	sim	não
UFSC	DCT-2D: IP-core para codificação de imagens em formato JPEG	20.000	3.000	7	sim	sim
UNESP	Filtragem Digital de Imagens	1892	2147	9	não	não
UFSM	Ip-core Full duplex do Protocolo IPv4 (Internet Protocol version 4)	3954	1532	7	sim	sim

IP-cores: tapeout



Demos: Videos

- ◆ Video demonstrando a prototipação física do IP LIN em FPGA integrado a uma rede LIN formada por um mestre e dois escravos:

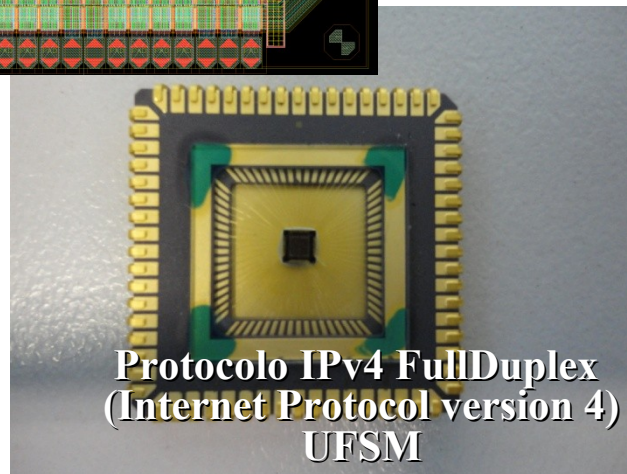
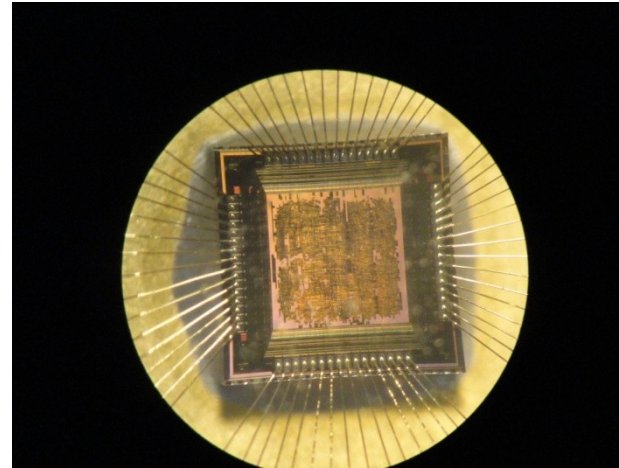
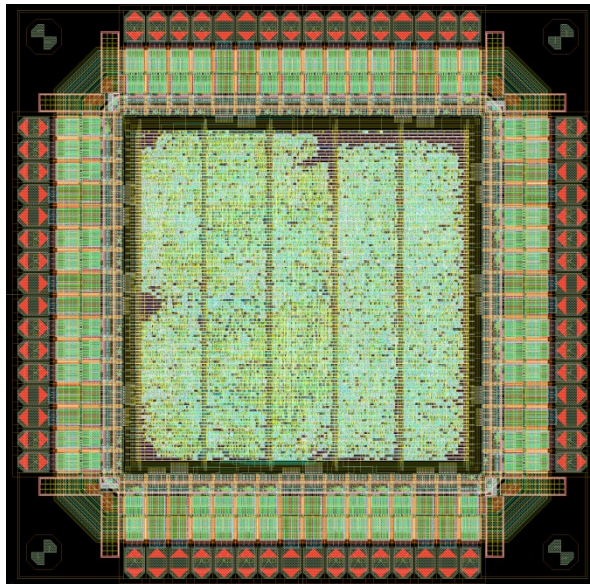
- <http://www.youtube.com/watch?v=KvWuBQHpRs4>

- ◆ Vídeo demonstrando o compressor de sinais sem perdas em operação

- <http://youtu.be/mC2DQmucvsw>



IP-cores fabricados: Protocolo IPv4 FullDuplex (Internet Protocol version 4) UFSM

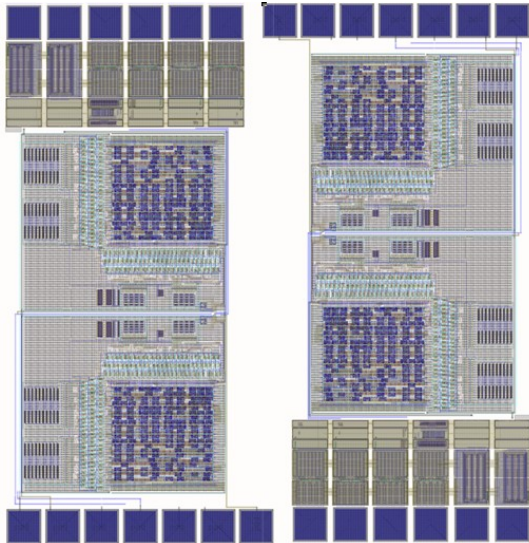


Protocolo IPv4 FullDuplex
(Internet Protocol version 4)
UFSM

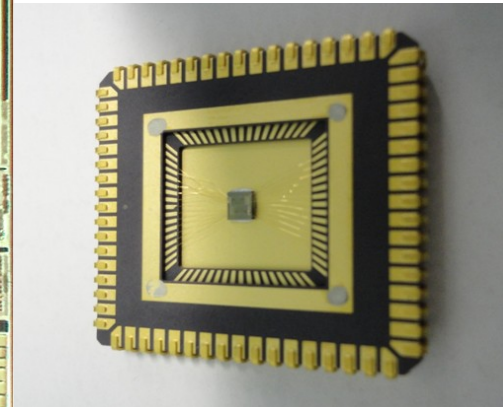
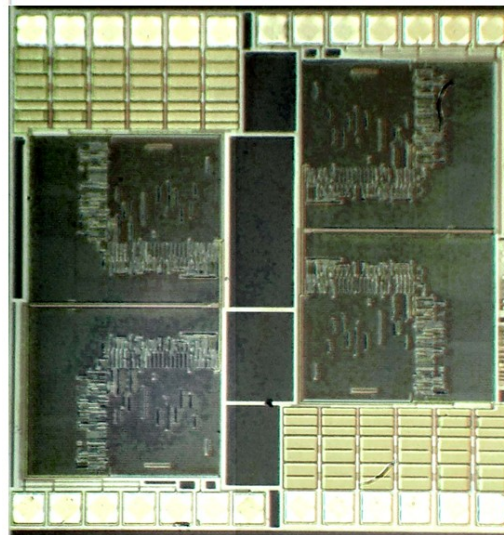


IP-core fabricado: Amplificador Operacional de Ganho Variável

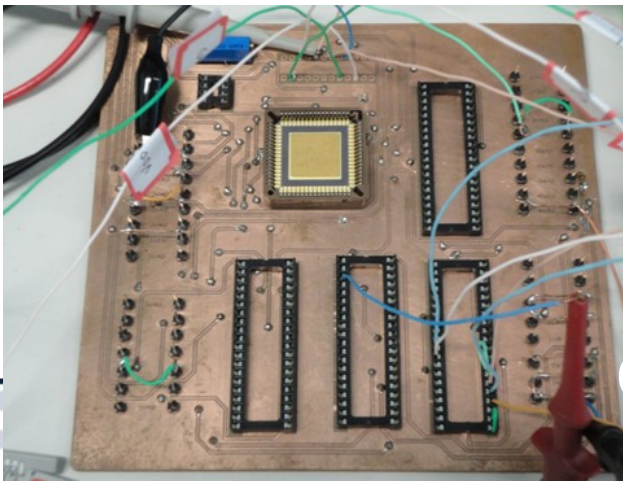
UFMS



Layout



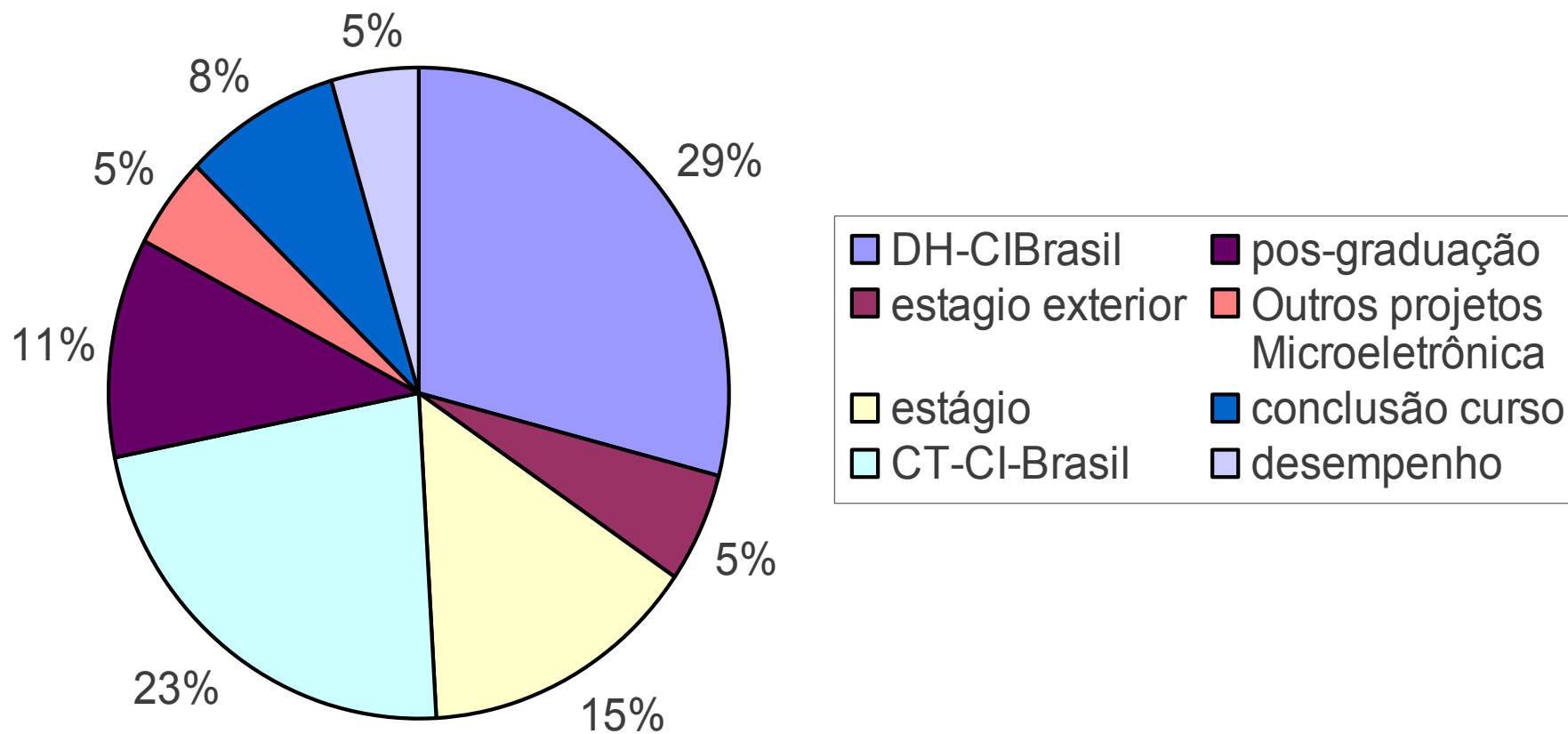
Chip



Caracterização
e testes



Egressos do Brazil-IP: Janeiro 2003 a Maio 2011



Egressos do Brazil-IP: Janeiro 2003 a Maio 2011

- ◆ Criação de DHs do CI_Brasil
 - CETENE
 - IDEA
 - CESAR
 - SILICON REEFS
- ◆ Participação ativa em DHs do CI-Brasil:
 - DH-Santa Maria
 - DH- Florianopolis
 - DH- Belo Horizonte
 - LSITEC
 - CT-PIN
 - Von Braun



Conclusões

- ◆ Eficiência do Brazil na atração de talentos para a área de microeletrônica
 - 87% dos egressos permaneceram na área de sistemas digitais
 - 51% estão participando do CI-Brasil:
 - DH
 - CT
 - 59% das DHs possuem egressos do Brazil-IP



Suporte Financeiro

Ministério da
Ciência e Tecnologia

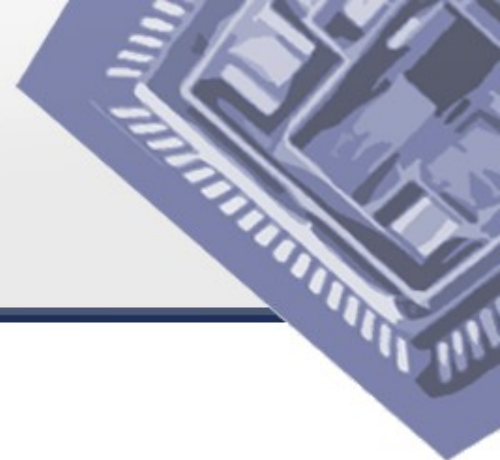


Sociedade Brasileira
de Microeletrônica



B r a z i l - I P N e t w o r k - I P

Parceiros



SYNOPSYS® **cādence™**



B r a z i l - I P N e t w o r k