



Departamento de  
Sistemas e  
Computação

**Universidade Federal de Campina Grande**  
**Departamento de Sistemas e Computação**  
**Disciplina: Organização e Arquitetura de Computadores**  
**Prof.: Joseana Macêdo Fechine**

## Lista de Exercícios N° 07 (Parte II)

Obs.: Esta lista de exercícios deverá ser elaborada em dupla. O Projeto de cada exercício incluirá o circuito (CircuitMaker) e o código em SystemVerilog.

1. A empresa de refrigerantes X deseja projetar um circuito que realize o controle de venda de 1 lata de refrigerante na sua máquina de refrigerantes. Para tanto, a empresa o contratou como projetista-chefe do projeto que deve especificar (desenhar) o diagrama de uma máquina estados finitos (FSM) que realize o controle da entrada de moedas na máquina. Se entrar o valor correto, a latinha deve sair da máquina, caso contrário, deve voltar para o estado inicial e devolver as moedas. Sabe-se que o preço do refrigerante é 1 real, e também que a máquina somente aceita moedas de 1 real, 50 centavos e 25 centavos. Sendo assim, projete a máquina de estados que realiza esta operação.

Interface na placa:

Entradas: 1 real – SW[2], 50 centavos – SW[1], 25 centavos – SW[0]

Considera-se que a chave em '1' no momento da subida do clock significa que uma moeda entrou na máquina. Se uma chave permanece em '1' por 2 ciclos de clock significa que 2 moedas entram na máquina.

reset – KEY[3], assíncrono

Saídas: lata – LEDR[1], moedas – LEDR[0]

O LED acende durante 1 ciclo de clock.

clock - LEDG[8], período de 2 segundos no mínimo

2. João possui um caracol que rasteja sobre uma folha de papel com 1's e 0's. O caracol sorri quando os últimos quatro dígitos em que passou são 1101. Projete uma FSM do cérebro do caracol.

Entradas: papel - SW[17]

Considera-se que a chave em '1' no momento da subida do clock significa que o caracol passa por um 1. Se uma chave permanece em '1' por dois ciclos de clock significa que o caracol passou por dois 1's.

reset – KEY[3], assíncrono

Saídas: sorriso – LEDR[17]

O caracol sorri durante 1 ciclo de clock.

clock – LEDG[8]

período de 2 segundos no mínimo



