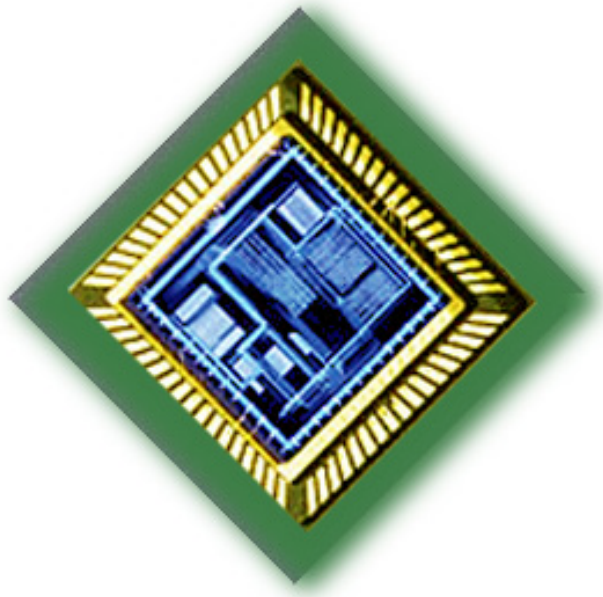

SystemVerilog clocking blocks

Curso do Brazil-IP

Felipe Gonçalves Assis

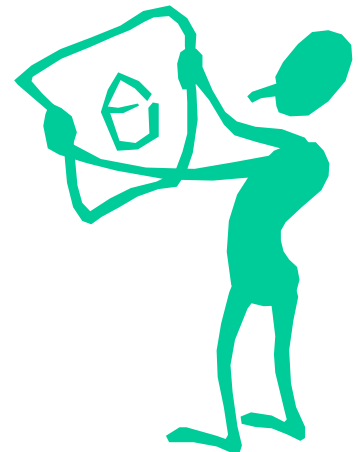
UFCG

fgassis@lad.dsc.ufcg.edu.br



Roteiro

- 1)O que são
- 2)Declaração e Uso
 - 1)Atribuições com atraso síncrono
- 3)Clocking blocks e modports.



O que são

- Formalização de um modelo síncrono de manipulação de variáveis.
- Podem ser declarados dentro de modules ou interfaces.



Declaração e uso

```
clocking cb @(posedge clk);  
    output data, valid;  
    input ready, reset;  
endclocking
```

```
cb.valid <= 1'b0;  
if (cb.ready) ...  
@(cb); // equivale a: @(posedge clk);  
@(posedge cb.ready); // posedge síncrono!
```



Atribuições com atraso síncrono.

```
// Atribuição no ciclo atual
cb.data <= '0;

// Espera 3 ciclos e depois atribui.
##3 cb.data <= '0;

// Agenda atribuição para daqui a 2 ciclos
e
// segue em frente.
cb.data <= ##2 '0;
```



Clocking blocks e modports

```
interface my_if(input clk, reset);  
    clocking cb @(posedge clk);  
    ...  
endclocking  
  
    modport driver(clocking cb, ...);  
    ...  
endinterface
```



Referência

IEEE Standard for SystemVerilog—
Unified Hardware Design, Specification,
and Verification Language, 2005. **Chapter 15.**

